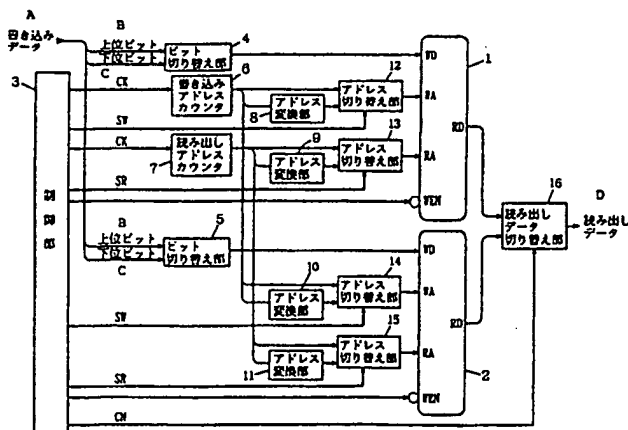


(51) 国際特許分類6 H04N 7/30, 1/41	A1	(11) 国際公開番号 WO99/44368
		(43) 国際公開日 1999年9月2日(02.09.99)
(21) 国際出願番号 PCT/JP99/00860	(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)	
(22) 国際出願日 1999年2月24日(24.02.99)	添付公開書類 国際調査報告書	
(30) 優先権データ 特願平10/46478 1998年2月27日(27.02.98) JP 特願平10/54017 1998年3月5日(05.03.98) JP 特願平10/112465 1998年4月22日(22.04.98) JP		
(71) 出願人 (米国を除くすべての指定国について) 鐘紡株式会社(KANEBO LIMITED)[JP/JP] 〒131-0031 東京都墨田区墨田五丁目17番4号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 平野憲司(HIRANO, Kenji)[JP/JP] 〒590-0945 大阪府堺市戎之町東4丁目1番23号 Osaka, (JP) 北村臣二(KITAMURA, Shinji)[JP/JP] 〒617-0832 京都府長岡京市東神足1丁目3番11-104号 Kyoto, (JP) 村田達彦(MURATA, Tatsuhiko)[JP/JP] 〒615-8084 京都府京都市西京区桂坤町7-2-304 Kyoto, (JP)		

(54) Title: IMAGE DATA PROCESSING DEVICE AND PROCESSING METHOD

(54) 発明の名称 画像データ処理装置および処理方法



- | | |
|-----------------------------------|------------------------------------|
| 3 ... CONTROL UNIT | 12 ... ADDRESS SWITCHING SECTION |
| 4 ... BIT SWITCHING SECTION | 13 ... ADDRESS SWITCHING SECTION |
| 5 ... BIT SWITCHING SECTION | 14 ... ADDRESS SWITCHING SECTION |
| 6 ... WRITE ADDRESS COUNTER | 15 ... ADDRESS SWITCHING SECTION |
| 7 ... READ ADDRESS COUNTER | 16 ... READ DATA SWITCHING SECTION |
| 8 ... ADDRESS CONVERTING SECTION | A ... WRITE DATA |
| 9 ... ADDRESS CONVERTING SECTION | B ... MORE SIGNIFICANT BITS |
| 10 ... ADDRESS CONVERTING SECTION | C ... LESS SIGNIFICANT BITS |
| 11 ... ADDRESS CONVERTING SECTION | D ... READ DATA |

(57) Abstract

A device for processing block data on an image at high speed, wherein consecutive two pieces of data are simultaneously written in different memories when scanning data, data is processed in sets of an effective part and an ineffective part, and the later processings are classified depending on the frequencies of occurrence of data, thereby reducing the circuit scale and increasing the operating speed.

(57)要約

画像のブロックデータを高速に処理する装置であって、データスキャン時に連続する2つのデータが異なるメモリに同時に書き込み、またデータを有効部と無効部との1組のデータとして処理し、またデータの発生頻度に応じてその後の処理を区別することにより、回路規模を押さえつつ高速化を図る。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	SD	スーダン
AL	アルバニア	EE	エストニア	LC	セントルシア	SE	スウェーデン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LR	リベリア	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SN	セネガル
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BE	ベルギー	GE	グルジア	LV	ラトヴィア	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TZ	タンザニア
BR	ブラジル	GW	ギニア・ビサオ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
BY	ベラルーシ	GR	ギリシャ	ML	マリ	TR	トルコ
CA	カナダ	HR	クロアチア	MN	モンゴル	TT	トリニダード・トバゴ
CF	中央アフリカ	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MW	マラウイ	UG	ウガンダ
CH	スイス	IE	アイルランド	MX	メキシコ	US	米国
CI	コートジボアール	IL	イスラエル	NE	ニジェール	UZ	ウズベキスタン
CM	カメルーン	IN	インド	NL	オランダ	VN	ヴェトナム
CN	中国	IS	アイスランド	NO	ノールウェー	YU	ユーゴスラビア
CR	コスタ・リカ	IT	イタリア	NZ	ニュージーランド	ZA	南アフリカ共和国
CU	キューバ	JP	日本	PL	ポーランド	ZW	ジンバブエ
CY	キプロス	KE	ケニア	PT	ポルトガル		
CZ	チェッコ	KG	キルギスタン	RO	ルーマニア		
DE	ドイツ	KP	北朝鮮	RU	ロシア		
DK	デンマーク	KR	韓国				

明 細 書

画像データ処理装置および処理方法

技術分野

本発明は、画像データの処理技術に関するものであって、画像データの圧縮処理および伸長処理を高速に行う技術に関するものである。

背景技術

画像データは非常に多くの情報量を含んでいる。そのため、画像データをそのままの形で処理するのは、メモリ容量および通信速度の点で実用的ではない。そこで、画像データ圧縮技術が重要となる。

画像データ圧縮技術の国際標準の一つとして J P E G (Joint Photographic Expert Group)がある。J P E Gでは、非可逆符号化を行う D C T (離散コサイン変換)方式と、二次元空間で D P C M (Differential PCM) を行う可逆符号化方式が採用されている。以下、D C T方式の画像データ圧縮を説明する。

第18図はD C T方式の画像データ圧縮および画像データ伸長を実行するためのシステムの基本構成を示すブロック図である。

符号化側では、D C T処理部100が、入力される原画像データに離散コサイン変換（以下、D C Tと呼ぶ）処理を行い、D C T係数を出力する。量子化部200は、量子化テーブル400を参照してD C T処理部100から出力されたD C T係数に量子化を行い、量子化されたD C T係数を出力する。この量子化により画質および符号化情報量が制御される。ハフマン符号化部206は、符号化テーブル500を参照して量子化部200から出力されたD C T係数にハフマン符号化処理を行い、圧縮画像データを出力する。

復号化側では、ハフマン復号化部211が、符号化テーブル500を参照して圧縮画像データにハフマン復号化処理を行い、量子化されたD C T係数を出力する。逆量子化部700は、量子化テーブル400を参

照して量子化されたDCT係数に逆量子化を行い、DCT係数を出力する。逆DCT処理部800は、DCT係数に逆DCT処理を行い、再生画像データを出力する。

次に、DCT処理部100によるDCT処理について説明する。まず、第19図に示すように、画像データを複数の8×8画素ブロックに分割する。第20図に示すように、1つの8×8画素ブロック内には、64個の画素データ P_{XY} ($X, Y=0, \dots, 7$)が含まれる。分割された各8×8画素ブロックに対して、数式1による二次元DCTを行う。

(数式1)

$$S_{UV} = \frac{1}{4} C_U C_V \sum_{X=0}^7 \sum_{Y=0}^7 (P_{XY} - L_S) \cos \frac{(2X+1)U\pi}{16} \cos \frac{(2Y+1)V\pi}{16}$$

ここで、 S_{UV} ($U, V=0, \dots, 7$)はDCT係数を表す。画素データ P_{XY} のビット精度が8ビットの場合には $L_S = 128$ となり、画素データ P_{XY} のビット精度が12ビットの場合には $L_S = 2048$ となる。

DCT処理の結果、64個のDCT係数 S_{UV} が得られる。DCT係数 S_{00} はDC係数と呼ばれ、残りの63個のDCT係数はAC係数と呼ばれる。第20図に示すように、DCT処理されたブロックの左から右に進むにつれて高周波の水平周波数成分を多く含み、上から下へ進むにつれて高周波の垂直周波数成分を多く含むことになる。

一方、逆DCT処理部800では、数式2に示す逆DCT処理によりDCT係数 S_{UV} から64個の画素データ P_{XY} ($X, Y=0, \dots, 7$)を得る。

(数式2)

$$P_{XY} = \frac{1}{4} \sum_{U=0}^7 \sum_{V=0}^7 C_U C_V S_{UV} \cos \frac{(2X+1)U\pi}{16} \cos \frac{(2Y+1)V\pi}{16} + L_S$$

第21図に示すように、二次元DCTは、2つの一次元DCT回路110, 130および転置メモリ120により行われる。ここで、8×8画素ブロックの横方向を行方向とし、縦方向を列方向とする。

一次元DCT回路110は、画素データ f_x に関して数式3による一次元DCTを行い、その結果を示す一次元DCT係数 F_u を転置メモリ120の各行に書き込む。

(数式3)

$$F_u = \frac{1}{4} C_u \sum_{x=0}^7 f_x \cos \frac{(2X+1)U\pi}{16}$$

一次元DCT回路130は、転置メモリ120の各列に記憶される一次元DCT係数 F_u に関して一次元DCTを行い、その結果をDCT係数 S_{uv} として出力する。

なお、一次元逆DCTは、数式4により表される。

(数式4)

$$f_x = \sum_{u=0}^7 C_u F_u \cos \frac{(2X+1)U\pi}{16}$$

次に、ハフマン符号化部206によるハフマン符号化処理について説明する。第22図に量子化部200から出力されるDCT係数の一例を示す。第22図において、“A”，“B”，“C”，“D”，“E”，“F”は“0”以外の値を表わしている。

第18図のハフマン符号化部206は、量子化部200から出力されたDCT係数にハフマン符号化処理を行い、圧縮画像データを出力する。DC係数の符号化では、1つ前のブロックのDC係数と現在のブロックのDC係数との差分値を求め、その差分値に対してハフマン符号が割り

当てられる。

AC係数の符号化では、第23図に示すように、AC係数が、まず、ジグザグスキャンによって一次元に配列される。この一次元に配列されたAC係数は、連続する“0”の係数（無効係数）の長さを示すラン長と、“0”以外の係数（有効係数）の値とを用いて符号化される。有効係数はグループ分けされ、各有効係数にグループ番号が割り当てられる。AC係数の符号化では、ラン長とグループ番号との組み合わせに対してハフマン符号が割り当てられる。上記のようにして、原画像データが圧縮画像データに符号化される。

〔第1の課題〕

上記のように、JPEG方式では 8×8 の64個のデータからなるブロックを1つの処理単位として取り扱う。DCT処理では、各ブロックのデータに対して行方向の一次元DCTおよび列方向の一次元DCTを行うことにより、二次元DCTを行っている。同様に、逆DCT処理では、各ブロックのデータに対して行方向の一次元逆DCTおよび列方向の一次元逆DCTを行うことにより、二次元逆DCTを行っている。このようなDCT処理および逆DCT処理では、1つのブロックの64個のデータを記憶する転置メモリが用いられる。

この場合、第24図（a）に示すように、転置メモリTMに行方向のラスタスキャン順にデータを書き込み、第24図（b）に示すように、転置メモリTMに記憶されたデータを列方向のラスタスキャン順に読み出す。それにより、各ブロックのデータを行方向のラスタスキャン順から列方向のラスタスキャン順に並べ替えることができる。

一方、ハフマン符号化処理およびハフマン復号化処理においては、1つのブロックの64個のデータを記憶するバンクメモリが用いられる。符号化側では、第25図（a）に示すように、バンクメモリBMにラスタスキャン順にデータを書き込み、第25図（b）に示すように、バンクメモリBMに記憶されたデータをジグザグスキャン順に読み出す。それにより、各ブロックのデータをラスタスキャン順からジグザグスキャン順に並べ替えることができる。復号化側では、第25図（b）に示す

ように、バンクメモリBMにジグザグスキャン順にデータを書き込み、第25図(a)に示すように、バンクメモリBMに記憶されたデータをラスタスキャン順に読み出す。それにより、各ブロックのデータをジグザグスキャン順からラスタスキャン順に並べ替えることができる。

処理の高速化を図るためには、複数のデータを同時に処理する必要がある。たとえば、DCT処理および逆DCT処理では、それぞれ64の記憶容量を有する2個の転置メモリを用い、2個の転置メモリに同じ64個のデータをそれぞれ格納し、2個の転置メモリから同時に異なるデータを読み出す。それにより、データの処理速度を向上させることができる。同様に、ハフマン符号化処理およびハフマン復号化処理では、それぞれ64の記憶容量を有する2個のバンクメモリを用い、2個のバンクメモリに同じ64個のデータをそれぞれ格納し、2個のバンクメモリから同時に異なるデータを読み出す。それにより、データの処理速度を向上させることができる。

しかしながら、DCT処理および逆DCT処理にそれぞれ2つの転置メモリが必要となり、ハフマン符号化処理およびハフマン復号化処理にそれぞれ2つのバンクメモリが必要となる。それにより、システムの小型化および低コスト化が妨げられる。

そこで、第1の課題は、高速にデータを並べ替えることができるとともに小型化および低コスト化を図ることが可能なデータ処理装置を提供することである。

[第2の課題]

また、JPEG方式では、 8×8 の64個のデータからなるブロックを1つの処理単位として扱う。たとえば、符号化側では、第26図に示すように、量子化部200（第18図参照）から出力された量子化されたDCT係数がデータとしてバンクメモリ221に記憶される。バンクメモリ221に記憶されたデータは、第27図に示すように、クロック信号CLKに同期してジグザグスキャンの順に読み出され、11ビットのデータバスDB0を介してハフマン符号化回路222に順次転送される。

第27図の例では、8個のデータ“D0”，“D1”，“0”，“D2”，“0”，“0”，“D3”，“D4”が順次転送される。ここで、“0”は無効係数を示し、“D0”，“D1”，“D2”，“D3”，“D4”は有効係数を示す。

AC係数の符号化では、ハフマン符号化回路222は、バンクメモリ221から順次転送されるデータに基づいて連続する“0”の数を示すラン長および有効係数を検出し、ラン長および有効係数の組み合わせに基づいてハフマン符号化を行う。

上記のように、従来のハフマン符号化部206では、バンクメモリ221からハフマン符号化回路222へ1個ずつデータが転送されるので、データの処理に要するサイクル数を低減することができない。上記の例では、8個のデータを処理するために要する時間はクロック信号CLKの8サイクル分となる。したがって、ハフマン符号化部206における処理の高速化が図れない。同様に、ハフマン復号化部211においても、処理の高速化が図れない。

そこで、第2の課題は、処理の高速化が図られたハフマン符号化装置を提供することである。また、他の課題は、処理の高速化が図られたハフマン復号化装置を提供することである。

[第3の課題]

第28図は従来のハフマン復号化装置の一例を示すブロック図である。頭出し処理部311は、圧縮画像データからハフマン符号の先頭位置を検出し、検出された先頭位置からハフマン符号の最大符号長に相当するビット数の圧縮画像データをメモリ312のアドレス入力端子ADにアドレス信号として与える。

メモリ312は、 2^k ワードの記憶容量を有する。ここで、 k はハフマン符号の最大符号長を表す。メモリ312内の各アドレスには、そのアドレスが表すハフマン符号に対応する復号化データが格納される。各復号化データは、上記のラン長およびグループ番号からなる。

例えば、ハフマン符号の最大符号長 k を16とすると、16ビット長のハフマン符号“1111111111110101”に対応する復号

化データは、アドレス“11111111111110101”に格納される。15ビット長のハフマン符号“1111111111000010”に対応する復号化データは、2つのアドレス“1111111111000010X”に格納される。ここで、Xは0および1を表す。また、2ビット長のハフマン符号“01”に対応する復号化データは、 2^{14} 個のアドレス“01XXXXXXXXXXXXXXXXX”に格納される。

このように、メモリ312には、最大符号長に相当する16ビットの圧縮画像データがアドレス信号として与えられるので、最大符号長よりも短いハフマン符号に対応する復号化データは、複数のアドレスに格納しておく必要がある。

例えば、圧縮画像データが2ビットのハフマン符号“01”を含む場合には、メモリ312には、16ビットの圧縮画像データ“01…”がアドレス信号として与えられる。それにより、アドレス“01…”に格納された復号化データが読み出され、データ出力端子DOから出力される。このようにして、圧縮画像データに含まれるハフマン符号が復号化される。

上記のように、従来のハフマン復号化装置では、ハフマン符号の最大符号長 k に相当するビット数の圧縮画像データがアドレス信号としてメモリ312に与えられるので、メモリ312の記憶容量は 2^k ワード必要となる。

この場合、最大符号長 k よりも短いハフマン符号に対応する復号化データは複数のアドレスに格納される。すなわち、ハフマン符号の数よりもはるかに多くの数のアドレスに余分な復号化データを格納する必要がある。ハフマン符号の数を N とすると、メモリ312の利用効率は $N/2^k$ と非常に低くなる。

その結果、ハフマン復号化装置の回路規模が大きくなり、かつ処理の高速化を図ることが困難となる。

そこで、第3の課題は、小型化および処理の高速化が図られたハフマン復号化装置を提供することである。

発明の開示

[第1の発明]

本発明における第1の(1-1)の発明は、複数行および複数列の二次元のデータからなるブロックを処理するデータ処理装置であって、

ブロックのデータを記憶する記憶手段と、

前記記憶手段にブロックのデータを第1のスキャン順に書き込む書き込み手段と、

前記記憶手段に記憶されたブロックのデータを第2のスキャン順に読み出す読み出し手段とを備え、

前記記憶手段は n 個のメモリを含み、 n は2以上の整数であり、ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように前記 n 個のメモリに振り分けられ、

前記書き込み手段は、第1のスキャン順において異なるメモリに同時にデータを書き込み、

前記読み出し手段は、第2のスキャン順において異なるメモリから同時にデータを読み出すことを特徴とするデータ処理装置である。

また、本発明における第1の(1-2)の発明は、複数行および複数列の二次元のデータからなるブロックを処理するデータ処理方法であって、

ブロックのデータを第1のスキャン順において連続する n 個(n は2以上の整数)のデータが異なる n 個のメモリに記憶されるとともに、第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように、前記 n 個のメモリに振り分けて、第1のスキャン順に異なるメモリに同時にデータを書き込んで記憶し、

記憶されたブロックのデータを第2のスキャン順に、異なるメモリから同時にデータを読み出すことを特徴とするデータ処理方法である。

この場合、ブロックの複数行および複数列のデータが n 個のメモリに振り分けられて記憶される。ブロックのデータは、第1のスキャン順に

において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように n 個のメモリに振り分けられる。そのため、書き込み手段により第1のスキャン順において異なるメモリに同時にデータを書き込むことが可能となり、読み出し手段により第2のスキャン順において異なるメモリから同時にデータを読み出すことが可能となる。それにより、ブロックのデータを第1のスキャン順から第2のスキャン順に高速に並べ替えることができる。この場合に、各メモリに必要な記憶容量は1ブロックのデータ数の n 分の1となる。したがって、高速にデータを処理することができるとともに小型化および低コスト化が可能なデータ処理装置およびデータ処理方法が実現される。

本発明における第1の(2-1)の発明は、 m 行および m 列の二次元のデータからなるブロックを処理するデータ処理装置であって、

ブロックのデータを記憶する記憶手段と、

前記記憶手段にブロックのデータを第1のスキャン順に書き込む書き込み手段と、

前記記憶手段に記憶されたブロックのデータを第2のスキャン順に読み出す読み出し手段とを備え、

前記記憶手段は n 個のメモリを含み、前記 n は m の2以上の約数であり、ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように前記 n 個のメモリに振り分けられ、

前記書き込み手段は、第1のスキャン順において異なる n 個のメモリに同時にデータを書き込み、

前記読み出し手段は、第2のスキャン順において異なる n 個のメモリから同時にデータを読み出すことを特徴とするデータ処理装置である。

また、本発明における第1の(2-2)の発明は、 m 行および m 列の二次元のデータからなるブロックを処理するデータ処理方法であって、ブロックのデータを第1のスキャン順において連続する n 個、(n は2以

上の整数であり、かつ n は m の2以上の約数)のデータが異なる n 個のメモリに記憶されるとともに、第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように、前記 n 個のメモリに振り分けて、第1のスキャン順に異なるメモリに同時にデータを書き込んで記憶し、

記憶されたブロックのデータを第2のスキャン順に、異なるメモリから同時にデータを読み出すことを特徴とするデータ処理方法である。

この場合、ブロックの m 行および m 列のデータが n 個のメモリに振り分けられて記憶される。ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように n 個のメモリに振り分けられる。そのため、書き込み手段により第1のスキャン順において異なる n 個のメモリに同時にデータを書き込むことが可能となり、読み出し手段により第2のスキャン順において異なる n 個のメモリから同時にデータを読み出すことが可能となる。それにより、ブロックのデータを第1のスキャン順から第2のスキャン順に高速に並べ替えることができる。この場合に、各メモリに必要な記憶容量は1ブロックのデータ数の n 分の1となる。したがって、高速にデータを処理することができるとともに小型化および低コスト化が可能なデータ処理装置およびデータ処理方法が実現される。

本発明における第1の(3-1)の発明は、前記第1のスキャン順は列方向または行方向のうち一方の方向のラスタスキャン順であり、前記第2のスキャン順は列方向または行方向のうち他方の方向のラスタスキャン順であることを特徴とする、本発明における第1の(1-1)または本発明における第1の(2-1)のデータ処理装置である。

また、本発明における第1の(3-2)の発明は、前記第1のスキャン順は列方向または行方向のうち一方の方向のラスタスキャン順であり、前記第2のスキャン順は列方向または行方向のうち他方の方向のラスタスキャン順であることを特徴とする、本発明における第1の(1-2)または本発明における第1の(2-2)のデータ処理方法である。

この場合、ブロックのデータを行方向または列方向のラスタスキャン順から列方向または行方向のラスタスキャン順に高速に並べ替えることができる。

本発明における第1の(4-1)の発明は、前記第1のスキャン順はラスタスキャン順またはジグザグスキャン順の一方であり、前記第2のスキャン順はラスタスキャン順またはジグザグスキャン順の他方であることを特徴とする、本発明における第1の(1-1)または本発明における第1の(2-1)のデータ処理装置である。

また、本発明における第1の(4-2)の発明は、前記第1のスキャン順はラスタスキャン順またはジグザグスキャン順の一方であり、前記第2のスキャン順はラスタスキャン順またはジグザグスキャン順の他方であることを特徴とする、本発明における第1の(1-2)または本発明における第1の(2-2)のデータ処理方法である。

この場合、ブロックのデータをラスタスキャン順からジグザグスキャン順に高速に並べ替えることができる。

[第2の発明]

本発明における第2の(1-1)の発明は、DCT係数をハフマン符号に符号化するハフマン符号化装置であって、

複数のDCT係数を記憶する記憶手段と、

前記記憶手段に記憶されたDCT係数を複数個ずつ読み出す読み出し手段と、

前記読み出し手段により前記記憶手段から読み出されるDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力する計数手段と、

前記計数手段から順次出力されるデータに基づいてハフマン符号化処理を行い、ハフマン符号を生成する符号化手段とを備えたことを特徴とするハフマン符号化装置である。

また、本発明における第2の(1-2)の発明は、DCT係数をハフマン符号に符号化するハフマン符号化方法であって、

DCT係数を複数個ずつ読み出し、

読み出されたDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次計算し、

順次計算したデータに基づいてハフマン符号化処理を行い、

ハフマン符号を生成することを特徴とするハフマン符号化方法である。

この場合、記憶手段に記憶されたDCT係数が読み出し手段により複数個ずつ読み出される。記憶手段から読み出されるDCT係数において有効係数が現れるまで連続する無効係数の数が計数手段により計数され、連続する無効係数の数および有効係数の組み合わせからなるデータが順次出力される。計数手段から順次出力されるデータに基づいて符号化手段によりハフマン符号化処理が行われ、ハフマン符号が生成される。このように、記憶手段からDCT係数が複数個ずつ読み出されるので、記憶手段から計数手段へのDCT係数の転送に要するサイクル数が少なくなる。また、記憶手段から読み出されるDCT係数において無効係数が連続する場合に計数手段から出力されるデータの数が少なくなるので、計数手段から符号化手段へのデータの転送に要するサイクル数が少なくなり、かつ符号化手段の処理の負担が軽減される。したがって、ハフマン符号化装置およびハフマン符号化方法における処理が高速化され、性能が向上する。

本発明における第2の(2-1)の発明は、DCT係数をハフマン符号に符号化するハフマン符号化装置であって、

複数のDCT係数を記憶する記憶手段と、

前記記憶手段に記憶されたDCT係数を複数個ずつ読み出す読み出し手段と、

前記読み出し手段により前記記憶手段から複数個ずつ読み出されるDCT係数をそれぞれ転送する複数組のデータバスと、

入力されたデータを格納するとともに入力順に出力する複数のデータ格納手段と、

前記複数組のデータバスにより転送されるDCT係数において有効係

数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを前記複数のデータ格納手段に順に入力する計数手段と、

前記複数のデータ格納手段からそれぞれ出力されるデータを順に選択して出力する選択手段と、

前記選択手段から出力されるデータに基づいてハフマン符号化処理を行い、ハフマン符号を生成する符号化手段とを備えたことを特徴とするハフマン符号化装置である。

また、第2の(2-2)の発明は、DCT係数をハフマン符号に符号化するハフマン符号化方法であって、

DCT係数を複数個ずつ読み出し、

読み出された複数のDCT係数を複数のデータバスを用いてそれぞれ転送し、

転送されたデータをそれぞれ格納し、

転送されたDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次計算し、

計算されたデータに基づいてハフマン符号化処理を行い、

ハフマン符号を生成することを特徴とするハフマン符号化方法である。

この場合、記憶手段に記憶されたDCT係数が読み出し手段により複数個ずつ読み出され、複数のデータバスによりそれぞれ転送される。複数のデータバスにより転送されるDCT係数において有効係数が現れるまで連続する無効係数の数が計数手段により計数され、連続する無効係数の数および有効係数の組み合わせからなるデータが複数のデータ格納手段に順に入力される。複数のデータ格納手段からそれぞれ出力されるデータが選択手段により順に選択されて出力され、選択手段から出力されるデータに基づいて符号化手段によりハフマン符号化処理が行われ、ハフマン符号が生成される。このように、記憶手段から複数個ずつ読み出されたDCT係数が複数個ずつ計数手段に転送されるので、記憶手段から計数手段へのDCT係数の転送に要するサイクル数が少なくな

る。また、記憶手段から読み出されるDCT係数において無効係数が連続する場合に選択手段から出力されるデータの数が少なくなるので、選択手段から符号化手段へのデータの転送に要するサイクル数が少なくなり、かつ符号化手段の処理の負担が軽減される。したがって、ハフマン符号化装置およびハフマン符号化方法における処理が高速化され、性能が向上する。

本発明における第2の(3-1)の発明は、ハフマン符号をDCT係数に復号化するハフマン復号化装置であって、

入力されるハフマン符号にハフマン復号化処理を行い、連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力する復号化手段と、

前記復号化手段から出力されるデータに基づいてDCT係数を生成し、生成されたDCT係数を複数個ずつ出力する生成手段と、

複数のDCT係数を記憶するための記憶手段と、
前記生成手段から出力されるDCT係数を複数個ずつ前記記憶手段に書き込む書き込み手段とを備えたことを特徴とするハフマン復号化装置である。

また、本発明における第2の(3-2)の発明は、ハフマン符号をDCT係数に復号化するハフマン復号化方法であって、

入力されたハフマン符号にハフマン復号化処理を行い、
連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力し、

出力されたデータに基づいてDCT係数を生成し、

生成されたDCT係数を複数個ずつ出力し、

出力されたDCT係数を複数個ずつ書き込むことを特徴とするハフマン復号化方法である。

この場合、入力されるハフマン符号に復号化手段によりハフマン復号化処理が行われ、連続する無効係数の数および有効係数の組み合わせからなるデータが順次出力され、出力されるデータに基づいて生成手段によりDCT係数が生成され、生成されたDCT係数が複数個ずつ出力さ

れる。生成手段から出力されるDCT係数は書き込み手段により複数個ずつ記憶手段に書き込まれる。このように、連続する無効係数の数が多い場合に復号化手段から出力されるデータの数が少なくなるので、復号化手段から生成手段へのデータの転送に要するサイクル数が少なくなり、かつ復号化手段の処理の負担が軽減される。また、生成手段からDCT係数が複数個ずつ出力され、出力されたDCT係数が複数個ずつ記憶手段に書き込まれるので、生成手段から記憶手段へのDCT係数の転送に要するサイクル数が少なくなる。したがって、ハフマン復号化装置およびハフマン復号化方法における処理が高速化され、性能が向上する。

本発明における第2の(4-1)の発明は、ハフマン符号をDCT係数に復号化するハフマン復号化装置であって、

入力されるハフマン符号にハフマン復号化処理を行い、連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力する復号化手段と、

入力されたデータを格納するとともに入力順に出力する複数のデータ格納手段と、

前記復号化手段から出力されるデータを選択して前記複数のデータ格納手段に順に入力する選択手段と、

前記複数のデータ格納手段から出力されるデータに基づいてDCT係数を生成し、生成されたDCT係数を複数個ずつ出力する生成手段と、

前記生成手段から複数個ずつ出力されるDCT係数をそれぞれ転送する複数組のデータバスと、

複数のDCT係数を記憶するための記憶手段と、

前記複数組のデータバスにより転送されるDCT係数を複数個ずつ前記記憶手段に書き込む書き込み手段とを備えたことを特徴とするハフマン復号化装置である。

また、本発明における第2の(4-2)の発明は、ハフマン符号をDCT係数に復号化するハフマン復号化方法であって、

入力されたハフマン符号にハフマン復号化処理を行い、

連続する無効係数の数および有効係数の組み合わせからなるデータを順

次計算し、

計算されたデータを選択して格納し、

格納されたデータに基づいてDCT係数を生成し、

生成されたDCT係数を複数個ずつ出力し、

出力された複数個のDCT係数を複数個のデータバスを用いてそれぞれ転送し、

転送されたDCT係数を複数個ずつ書き込むことを特徴とするハフマン復号化方法である。

この場合、入力されるハフマン符号に復号化手段によりハフマン復号化処理が行われ、連続する無効係数の数および有効係数の組み合わせからなるデータが順次出力される。復号化手段から出力されるデータは、選択手段により選択されて複数の格納手段に順に入力される。複数のデータ格納手段から出力されるデータに基づいて生成手段によりDCT係数が生成され、生成されたDCT係数が複数個ずつ出力され、複数組のデータバスによりそれぞれ転送される。複数組のデータバスにより転送されるDCT係数は、書き込み手段により複数個ずつ記憶手段に書き込まれる。このように、連続する無効係数の数が多い場合に復号化手段から出力されるデータの数が少なくなるので、復号化手段から選択手段へのデータの転送に要するサイクル数が少なくなり、かつ復号化手段の処理の負担が軽減される。また、生成手段からDCT係数が複数個ずつ出力され、出力されたDCT係数が複数個ずつ記憶手段に転送されるので、生成手段から記憶手段へのDCT係数の転送に要するサイクル数が少なくなる。したがって、ハフマン復号化装置およびハフマン復号化方法における処理が高速化され、性能が向上する。

[第3の発明]

本発明における第3の(1-1)の発明は、入力されるハフマン符号を復号化して復号化データを出力するハフマン復号化装置であって、

複数のハフマン符号のうち所定数のハフマン符号をそれぞれ記憶する複数の第1の記憶手段と、

前記複数の第1の記憶手段に対応して設けられ、各々が入力されるハ

フマン符号と対応する第1の記憶手段に記憶されるハフマン符号との一致を検出する複数の一致検出手段と、

前記所定数のハフマン符号にそれぞれ対応する所定数の復号化データを記憶し、前記複数の一致検出手段の出力信号に応答して前記所定数の復号化データのうちいずれかを出力する第2の記憶手段と、

入力されるハフマン符号に基づいて対応する発生頻度を生成する発生頻度生成手段と、

前記複数のハフマン符号のうち少なくとも残りの複数のハフマン符号の発生頻度が示すアドレスに復号化データを記憶し、前記発生頻度生成手段により生成される発生頻度をアドレス信号して受け、アドレス信号により指定されるアドレスから復号化データを出力する第3の記憶手段とを備えたことを特徴とするハフマン復号化装置である。

また、本発明における第3の(1-2)の発明は、ハフマン符号を復号化して復号化データを出力するハフマン復号化方法であって、

複数のハフマン符号のうち所定数のハフマン符号をそれぞれ記憶し、前記所定数のハフマン符号にそれぞれ対応する所定数の復号化データを記憶し、

入力されるハフマン符号と対応する前記記憶されたハフマン符号との一致を検出し、

前記一致検出信号に応答して前記所定数の復号化データのうちいずれかを出力するとともに、

前記複数のハフマン符号のうち少なくとも残りの複数のハフマン符号の発生頻度が示すアドレスに復号化データを記憶し、

入力されるハフマン符号に基づいて対応する発生頻度を生成し、

前記発生頻度をアドレス信号して受け、

アドレス信号により指定されるアドレスから復号化データを出力することを特徴とするハフマン復号化方法である。

この場合、複数のハフマン符号のうち所定数のハフマン符号が複数の第1の記憶手段にそれぞれ記憶される。また、上記所定数のハフマン符号にそれぞれ対応する所定数の復号化データが第2の記憶手段に記憶さ

れる。さらに、複数のハフマン符号のうち少なくとも残りの複数のハフマン符号に対応する復号化データが第3の記憶手段に記憶される。各復号化データは、対応するハフマン符号の発生頻度が示すアドレスに記憶される。

入力されるハフマン符号と複数の第1の記憶手段に記憶されるハフマン符号との一致が複数の一致検出手段によりそれぞれ検出される。入力されるハフマン符号と複数の第1の記憶手段に記憶されるハフマン符号のいずれかとの一致が一致検出手段により検出された場合には、複数の一致検出手段の出力信号に応答して第2の記憶手段に記憶された所定数の復号化データのうちいずれかが出力される。この場合には、一致検出手段による一致検出および第2の記憶手段からの復号化データの出力により、入力されたハフマン符号が高速に復号化される。

一方、入力されるハフマン符号に基づいて発生頻度生成手段により対応する発生頻度が生成される。発生頻度生成手段により生成される発生頻度はアドレス信号として第3の記憶手段に与えられる。入力されるハフマン符号と複数の第1の記憶手段に記憶されるハフマン符号とが一致しない場合には、発生頻度生成手段からアドレス信号として与えられた発生頻度に基づいて第3の記憶手段から復号化データが出力される。

このように、所定数のハフマン符号にそれぞれ対応する所定数の復号化データが第2の記憶手段に記憶されるので、入力されるハフマン符号が所定数のハフマン符号のいずれかと一致した場合には、第2の記憶手段から対応する復号化データが高速に読み出される。また、入力されるハフマン符号が所定数のハフマン符号と一致しない場合には、入力されるハフマン符号の発生頻度が生成され、その発生頻度に基づいて第3の記憶手段から対応する復号化データが読み出される。

ハフマン符号と発生頻度とは1対1に対応し、発生頻度と復号化データも1対1に対応しているので、第3の記憶手段に記憶される復号化データの数も多くとも複数のハフマン符号の数と同じになる。

そのため、第3の記憶手段に必要な記憶容量が小さくなる。

したがって、小型化および処理の高速化が図られたハフマン復号化装置

およびハフマン復号化方法が得られる。

本発明における第3の(2-1)の発明は、前記所定数のハフマン符号は、残りのハフマン符号よりも高い発生頻度を有することを特徴とする、本発明における第3の(1-1)のデータ処理装置である。

また、本発明における第3の(2-2)の発明は、前記所定数のハフマン符号は、残りのハフマン符号よりも高い発生頻度を有することを特徴とする、本発明における第3の(1-2)のデータ処理方法である。

本発明における第3の(3-1)の発明は、前記発生頻度生成手段は、ハフマン符号の符号長ごとに設定された定数を記憶する定数記憶手段と、

ハフマン符号の符号長ごとの最小符号を記憶する最小符号記憶手段と、前記最小符号記憶手段に記憶される符号長ごとの最小符号に基づいて入力されたハフマン符号の符号長を検出する符号長検出手段と、

前記符号長検出手段により検出された符号長に基づいて前記定数記憶手段に記憶された定数のいずれかを選択する定数選択手段と、

前記定数選択手段により選択された定数および入力されたハフマン符号に基づいて発生頻度を算出する算出手段とを備えたことを特徴とする、本発明における第3の(1-1)のデータ処理装置である。

また、本発明における第3の(3-2)の発明は、前記発生頻度を生成するにおいて、

ハフマン符号の符号長ごとに設定された定数を記憶し、

ハフマン符号の符号長ごとの最小符号を記憶し、

前記記憶された符号長ごとの最小符号に基づいて入力されたハフマン符号の符号長を検出し、

前記検出された符号長に基づいて記憶された定数のいずれかを選択し、前記選択された定数および入力されたハフマン符号に基づいて発生頻度を生成することを特徴とする、本発明における第3の(1-2)のデータ処理方法である。

この場合、ハフマン符号の発生頻度は、ハフマン符号から符号長ごとに設定された定数を減算することにより得られる。定数記憶手段には、

ハフマン符号の符号長ごとに設定された定数が記憶される。また、最小符号記憶手段には、ハフマン符号の符号長ごとの最小符号が記憶される。最小符号記憶手段に記憶される符号長ごとの最小符号に基づいて、入力されたハフマン符号の符号長が検出され、検出された符号長に基づいて定数記憶手段に記憶された定数のいずれかが選択される。そして、選択された定数および入力されたハフマン符号に基づいて発生頻度が算出される。

本発明における第3の(4-1)の発明は、前記第2および第3の記憶手段から出力される復号化データを選択的に出力する復号化データ選択手段をさらに備えたことを特徴とする、本発明における第3の(1-1)のデータ処理装置である。

また、本発明における第3の(4-2)の発明は、出力される復号化データを選択的に出力することを特徴とする、本発明における第3の(1-2)のデータ処理方法である。

入力されるハフマン符号が所定数のハフマン符号と一致する場合には、第2の記憶手段から出力される復号化データが選択的に出力され、入力されるハフマン符号が所定数のハフマン符号と一致しない場合には、第3の記憶手段から出力される復号化データが選択的に出力される。

図面の簡単な説明

第1図は第1の発明の第1の実施例におけるデータ処理装置の構成を示すブロック図である。第2図は前記第1の実施例における奇数番目のブロックのデータのメモリへの振り分け方法を示す図である。第3図は前記第1の実施例における偶数番目のブロックのデータのメモリへの振り分け方法を示す図である。第4図は前記第1の実施例における奇数番目のブロックの書き込み時のアドレスおよびデータの変化を示す図である。第5図は前記第1の実施例における奇数番目のブロックの読み出し時のアドレスおよびデータの変化を示す図である。第6図はブロックのデータを2つの転置メモリへ振り分ける方法を示す図である。第7図はブロックのデータを4つの転置メモリへ振り分ける方法を示す図である。

第8図はブロックのデータを8つの転置メモリへ振り分ける方法を示す図である。第9図は第1の発明の第2の実施例におけるブロックのデータのメモリへの振り分け方法を示す図である。第10図は前記第2の実施例における書き込み時および読み出し時のアドレスおよびデータの変化を示す図である。第11図は前記第2の実施例における書き込み時および読み出し時のアドレスおよびデータの変化を示す図である。第12図はブロックのデータを4つのバンクメモリへ振り分ける方法を示す図である。

第13図は第2の発明の第1の実施例におけるハフマン符号化装置の構成を示すブロック図である。第14図は第13図のハフマン符号化装置の動作の一例を示す図である。第15図は第2の発明の第2の実施例におけるハフマン復号化装置の構成を示すブロック図である。

第16図は第3の発明の実施例におけるハフマン復号化装置の構成を示すブロック図である。第17図は第16図のハフマン復号化装置に含まれる発生頻度生成部の構成を示すブロック図である。

第18図から第28図は従来技術の説明図である。

図中において、第1図～第12図における、1, 2はメモリ、3は制御部、4, 5はビット切り替え部、6は書き込みアドレスカウンタ、7は読み出しアドレスカウンタ、8, 9, 10, 11はアドレス変換部、12, 13, 14, 15はアドレス切り替え部、16は読み出しデータ切り替え部を示す。

また、第13図～第15図における、201, 215はバンクメモリ、202, 216はアドレス発生部、203, 214はデータカウンタ部、204a, 204b, 213a, 213bはFIFO、205, 212はセレクタ、206はハフマン符号化部、211はハフマン復号化部を示す。

また、第16図～第17図における、301は頭出し処理部、302は発生頻度生成部、303はメモリ、304はレジスタ、305はセレクタ、R1, Riはレジスタ、C1, Ciは比較器、321は定数記憶部、322は最小符号記憶部、323は符号長検出部、324はセレクト

タ、325は加算器を示す。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

〔第1の発明〕

第1図は第1の発明の第1の実施例（以下、「第1の実施例」という）におけるデータ処理装置の構成を示すブロック図である。

第1の実施例のデータ処理装置は、DCT処理または逆DCT処理において8×8のブロックのデータを行方向のラスタスキャン順から列方向のラスタスキャン順へまたは列方向のラスタスキャン順から行方向のラスタスキャン順へ並べ替えるために用いられる。

第1図のデータ処理装置は、2つのメモリ1、2、制御部3、ビット切り替え部4、5、書き込みアドレスカウンタ6、読み出しアドレスカウンタ7、アドレス変換部8、9、10、11、アドレス切り替え部12、13、14、15および読み出しデータ切り替え部16を含む。メモリ1、2はそれぞれ32アドレス（記憶容量32ワード）を有し、転置メモリとして用いられる。

ビット切り替え部4、5には、2つのデータを含む書き込みデータが行方向または列方向のラスタスキャン順に与えられる。この場合、各書き込みデータは、先行するデータを上位ビットとして含みかつ後続するデータを下位ビットとして含む。

ビット切り替え部4は、書き込みデータの上位ビットおよび下位ビットのうち一方のデータをメモリ1の書き込みデータ端子WDに与え、ビット切り替え部5は、書き込みデータの上位ビットおよび下位ビットのうち他方のデータをメモリ2の書き込みデータ端子WDに与える。

書き込みアドレスカウンタ6は、制御部3から与えられるクロック信号CKをカウントし、奇数番目のブロック用の書き込みアドレスを発生する。アドレス変換部8は、書き込みアドレスカウンタ6から出力される奇数番目のブロック用の書き込みアドレスを偶数番目のブロック用の

書き込みアドレスに変換する。アドレス切り替え部 12 は、制御部 3 からの切り替え信号 SW に応答して書き込みアドレスカウンタ 6 から出力される書き込みアドレスまたはアドレス変換部 8 から出力される書き込みアドレスを選択的にメモリ 1 の書き込みアドレス端子 WA に与える。

同様に、アドレス変換部 10 は、書き込みアドレスカウンタ 6 から出力される奇数番目のブロック用の書き込みアドレスを偶数番目のブロック用の書き込みアドレスに変換する。アドレス切り替え部 14 は、制御部 3 からの切り替え信号 SW に応答して書き込みアドレスカウンタ 6 から出力される書き込みアドレスまたはアドレス変換部 10 から出力される書き込みアドレスを選択的にメモリ 2 の書き込みアドレス端子 WA に与える。

読み出しアドレスカウンタ 7 は、制御部 3 から与えられるクロック信号 CK をカウントし、奇数番目のブロック用の読み出しアドレスを発生する。アドレス変換部 9 は、読み出しアドレスカウンタ 7 から出力される奇数番目のブロック用の読み出しアドレスを偶数番目のブロック用の読み出しアドレスに変換する。アドレス切り替え部 13 は、制御部 3 からの切り替え信号 SR に応答して読み出しアドレスカウンタ 7 から出力される読み出しアドレスまたはアドレス変換部 9 から出力される読み出しアドレスを選択的にメモリ 1 の読み出しアドレス端子 RA に与える。

同様に、アドレス変換部 11 は、読み出しアドレスカウンタ 7 から出力される奇数番目のブロック用の読み出しアドレスを偶数番目のブロック用の読み出しアドレスに変換する。アドレス切り替え部 15 は、制御部 3 からの切り替え信号 SR に応答して読み出しアドレスカウンタ 7 から出力される読み出しアドレスまたはアドレス変換部 11 から出力される読み出しアドレスを選択的にメモリ 2 の読み出しアドレス端子 RA に与える。

メモリ 1, 2 の書き込みイネーブル端子 WEN には、制御部 3 からデータの書き込みを許容する書き込みイネーブル信号が与えられる。これにより、書き込みデータ端子 WD に与えられたデータが書き込みアドレス端子 WA に与えられた書き込みアドレスで指定される記憶位置に書き

込まれる。

また、メモリ 1, 2 の読み出しアドレス端子 R A に与えられる読み出しアドレスで指定された記憶位置からデータが読み出され、読み出しデータ端子 R D から出力される。読み出しデータ切り替え部 1 6 は、制御部 3 からの制御信号 C N に応答してメモリ 1, 2 から出力される 2 つのデータのうち列方向または行方向のラスタスキャン順において先行するデータを上位ビットとして含みかつ後続するデータを下位ビットとして含む読み出しデータを出力する。

次に、第 1 の実施例におけるデータ処理方法について説明する。第 1 の実施例のデータ処理方法は、D C T 処理又は逆 D C T 処理において、 8×8 のブロックのデータを行方向のラスタスキャン順から列方向のラスタスキャン順へまたは列方向のラスタスキャン順から行方向のラスタスキャン順へ並べ替えるために用いられる。

このデータ処理方法は、ブロックのデータを行方向のラスタスキャン順において連続する 2 個のデータが異なる 2 個のメモリに記憶されるとともに、列方向のラスタスキャン順において連続する 2 個のデータが異なる 2 個のメモリに記憶されるように、前記 2 個のメモリに振り分ける工程と、行方向のラスタスキャン順に異なる 2 個のメモリに同時にデータを書き込む工程と、記憶されたブロックのデータを列方向のラスタスキャン順に、異なるメモリから同時にデータを読み出す工程とからなる。

以下に、詳細にこのデータ処理方法を説明する。

まず、第 2 図および第 3 図を参照しながら、データ処理方法におけるメモリ 1, 2 へのブロックのデータの振り分け工程における振り分け方法について説明する。第 2 図および第 3 図において、ブロック内の数字“0”～“63”は、各データを特定するためのものである。ここでは、ブロックの横方向を行方向とし、縦方向を列方向とする。

なお、奇数番目のブロックについては、メモリ 1, 2 に行方向のラスタスキャン順にデータを書き込み、メモリ 1, 2 から列方向のラスタスキャン順にデータを読み出し、偶数番目のブロックについては、メモリ 1, 2 に列方向のラスタスキャン順にデータを書き込み、メモリ 1, 2

から行方向のラスタスキャン順にデータを読み出すものとする。これにより、現在のブロックの読み出しと並行して次のブロックの書き込みを行うことができる。

奇数番目のブロックでは、第2図(a)に示すように、64個のデータを行方向に8×8のブロックに配列する。そして、ブロックの各行のデータを行方向に2つずつ区分し、それぞれ2つのデータからなる組を作成する。そして、第2図(b)に示すように、各組の2つのデータを異なる第1および第2のグループに振り分ける。第2図では、第1のグループに属するデータにハッチングが付され、第2のグループに属するデータにはハッチングが付されていない。この場合、ブロックのデータを列方向に走査した場合に、連続する2つのデータが異なるグループに属するように各組内の2つのデータを第1および第2のグループに振り分ける。

次に、第2図(c)に示すように、奇数行目の各組内の2つのデータの位置を互いに入れ換える。それにより、第1のグループのデータが奇数列目に配置され、第2のグループのデータが偶数列目に配置される。第2図(d)に示すように、奇数列目の第1のグループのデータをメモリ1に振り分け、偶数列目の第2のグループのデータをメモリ2に振り分ける。図において、メモリ1, 2の左端の記憶位置のアドレスは上から順に“0”、“4”、“8”、“12”、“16”、“20”、“24”および“28”となっている。

このようにデータをメモリ1, 2に振り分けることにより、書き込み時に、行方向のラスタスキャン順において連続する2つのデータをそれぞれメモリ1, 2に同時に書き込むことができ、かつ読み出し時に、列方向のラスタスキャン順において連続する2つのデータをメモリ1, 2から同時に読み出すことができる。

偶数番目のブロックでは、第3図(a)に示すように、64個のデータを列方向に8×8のブロックに配列する。そして、ブロックの各行のデータを行方向に2つずつ区分し、それぞれ2配列データからなる組を作成する。そして、第3図(b)に示すように、各組の2つのデータを

異なる第1および第2のグループに振り分ける。第3図では、第1のグループに属するデータにハッチングが付され、第2のグループに属するデータにはハッチングが付されていない。この場合、ブロックのデータを列方向に走査した場合に、連続する2つのデータが異なるグループに属するように各組内の2つのデータを第1および第2のグループに振り分ける。

次に、第3図(c)に示すように、奇数行目の各組内の2つのデータの位置を互いに入れ換える。それにより、第1のグループのデータが奇数列目に配置され、第2のグループのデータが偶数列目に配置される。

第3図(d)に示すように、奇数列目の第1のグループのデータをメモリ1に振り分け、偶数列目の第2のグループのデータをメモリ2に振り分ける。図において、メモリ1, 2の左端の記憶位置のアドレスは上から順に“0”、“4”、“8”、“12”、“16”、“20”、“24”および“28”となっている。

このようにデータをメモリ1, 2に振り分けることにより、書き込み時に、列方向のラスタスキャン順において連続する2つのデータをそれぞれメモリ1, 2に同時に書き込むことができ、かつ読み出し時に、行方向のラスタスキャン順において連続する2つのデータをメモリ1, 2から同時に読み出すことができる。

第4図は第1の実施例における書き込みアドレスおよび書き込みデータの変化を示す図である。第4図には、奇数番目のブロックのデータの書き込みを示す。

第4図に示すように、メモリ1, 2に与えられる書き込みアドレスの変化に伴って行方向のラスタスキャン順にメモリ1, 2に連続する2つのデータが同時に書き込まれる。

第5図は第1の実施例における読み出しアドレスおよび読み出しデータの変化を示す図である。第5図には、奇数番目のブロックのデータの読み出しを示す。

第5図に示すように、メモリ1, 2に与えられる読み出しアドレスの変化に伴って列方向のラスタスキャン順にメモリ1, 2から連続する2

つのデータが同時に読み出される。

このように、第1の実施例のデータ処理装置およびデータ処理方法では、書き込み時に行方向または列方向のラスタスキャン順に連続する2つのデータがメモリ1, 2に同時に書き込まれ、かつ読み出し時に列方向または行方向のラスタスキャン順に連続する2つのデータがメモリ1, 2から同時に読み出されるので、データ処理の高速化を図ることができる。また、32アドレスを有する2つのメモリ1, 2で64個のデータを2つずつ同時に書き込みおよび読み出すことができるので、システムの小型化および低コスト化を図ることができる。

なお、第1の実施例では、ブロックのデータを2つの転置メモリに振り分ける例を説明したが、ブロックのデータを4つの転置メモリまたは8つの転置メモリに振り分けることもできる。

第6図はブロックのデータを2つの転置メモリに振り分ける方法を示す図、第7図はブロックのデータを4つの転置メモリに振り分ける方法を示す図、第8図はブロックのデータを8つの転置メモリに振り分ける方法を示す図である。第6図、第7図および第8図において、(a)はブロックのデータを示し、(b)は奇数番目のブロックにおけるデータの振り分けを示し、(c)は偶数番目のブロックにおけるデータの振り分けを示す。

奇数番目のブロックでは、行方向のラスタスキャン順にデータを配列し、偶数番目のブロックでは、列方向のラスタスキャン順にデータを配列する。

第6図の例では、各行のデータをそれぞれ2つのデータを含む4つの組に区分し、奇数行目のデータはそのまま偶数行目の各組の2つのデータを各組内で1つシフトする。そして、奇数列目のデータを転置メモリB0に振り分け、偶数列目のデータを転置メモリB1に振り分ける。

第7図の例では、各行のデータをそれぞれ4つのデータを含む2つの組に区分する。第1行目および第5行目のデータはそのまま、第2行目および第6行目の各組の4つのデータを各組内で1つシフトし、第3行目および第7行目の各組の4つのデータを各組内で2つシフトし、第

4行目および第8行目の各組の4つのデータを各組内で3つシフトする。そして、第1列目および第5列目のデータを転置メモリB0に振り分け、第2列目および第6列目のデータを転置メモリB1に振り分け、第3列目および第7列目のデータを転置メモリB2に振り分け、第4列目および第8列目のデータを転置メモリB3に振り分ける。

第8図の例では、各行のデータをそれぞれ8つのデータを含む1つの組に区分する。第1行目のデータはそのまま、第2行目～第8行目の各組の8つのデータを各組内で順に1つ～7つシフトする。そして、第1列目～第8列目のデータを転置メモリB0～B7にそれぞれ振り分ける。

次に、第1の発明の第2の実施例（以下、「第2の実施例」という）におけるデータ処理装置およびデータ処理方法について説明する。第2の実施例のデータ処理装置およびデータ処理方法は、ハフマン符号化処理またはハフマン復号化処理において8×8ブロックのデータをラスタスキャン順からジグザグスキャン順へまたはジグザグスキャン順からラスタスキャン順へ並べ替えるために用いられる。

第2の実施例のデータ処理装置の構成は、第1図に示したデータ処理装置の構成と同様である。第2の実施例のデータ処理装置が第1の実施例のデータ処理装置と異なるのは、メモリ1, 2へのブロックのデータの振り分け方法、および書き込みアドレスおよび読み出しアドレスの指定方法である。メモリ1, 2はバンクメモリとして用いられる。

次に、第9図を参照しながら第2の実施例におけるメモリ1, 2へのデータの振り分け方法について説明する。第9図において、ブロック内の数字“0”～“63”は、各データを特定するためのものである。

なお、ここでは、メモリ1, 2に列方向のラスタスキャン順にデータを書き込み、メモリ1, 2からジグザグスキャン順にデータを読み出す場合を説明する。

第9図(a)に示すように、64個のデータを行方向に8×8のブロックに配列する。そして、ブロックの各列のデータを列方向に2つずつ区分し、それぞれ2つのデータからなる組を作成する。そして、第9図

(b) に示すように、各組の 2 つのデータを異なる第 1 および第 2 のグループに振り分ける。第 9 図では、第 1 のグループに属するデータにハッチングが付され、第 2 のグループに属するデータにはハッチングが付されていない。この場合、ブロックのデータをジグザグスキャン順に走査した場合に、連続する 2 つのデータが異なるグループに属するように各組内の 2 つのデータを第 1 および第 2 のグループに振り分ける。

次に、第 9 図 (c) に示すように、奇数列目の各組内の 2 つのデータの位置を互いに入れ換える。それにより、第 1 のグループのデータが奇数行目に配置され、第 2 のグループのデータが偶数行目に配置される。

第 9 図 (d) に示すように、奇数行目の第 1 のグループのデータをメモリ 1 に振り分け、偶数行目の第 2 のグループのデータをメモリ 2 に書き込む。図において、メモリ 1, 2 の左端の記憶位置のアドレスは上から順に“0”、“8”、“16”および“24”となっている。

このようにデータをメモリ 1, 2 に振り分けることにより、書き込み時に、列方向のラスタスキャン順において連続する 2 つのデータをそれぞれメモリ 1, 2 に同時に書き込むことができ、かつ読み出し時に、ジグザグスキャン順において連続する 2 つのデータをメモリ 1, 2 から同時に読み出すことができる。

第 10 図および第 11 図は第 2 の実施例における書き込みアドレス、書き込みデータ、読み出しアドレスおよび読み出しデータの変化を示す図である。

第 10 図および第 11 図の例では、メモリ 1, 2 に対するデータの書き込みおよび読み出しを並行して行い、1 ブロックの 32 個のデータの書き込みが終了した時点でそのブロックのデータの読み出しを開始している。

第 10 図および第 11 図に示すように、メモリ 1, 2 に与えられる書き込みアドレスの変化に伴って列方向のラスタスキャン順にメモリ 1, 2 に連続する 2 つのデータが同時に書き込まれ、メモリ 1, 2 に与えられる読み出しアドレスの変化に伴ってジグザグスキャン順にメモリ 1, 2 から連続する 2 つのデータが同時に読み出される。

このように、第2の実施例のデータ処理装置では、書き込み時にラスタスキャン順またはジグザグスキャン順に連続する2つのデータがメモリ1, 2に同時に書き込まれ、かつ読み出し時にジグザグスキャン順またはラスタスキャン順に連続する2つのデータがメモリ1, 2から同時に読み出されるので、データ処理の高速化を図ることができる。また、32アドレスを有する2つのメモリ1, 2で64個のデータを2つずつ同時に書き込みおよび読み出すことができるので、システムの小型化および低コスト化を図ることができる。

第12図はブロックのデータを4つのバンクメモリに振り分ける方法を示す図であり、(a)はブロックのデータを示し、(b)はデータの振り分けを示す。

第12図の例では、書き込み時にラスタスキャン順またはジグザグスキャン順に連続する4つのデータをバンクメモリB0, B1, B2, B3に同時に書き込むことができ、かつ読み出し時にジグザグスキャン順またはラスタスキャン順に連続する4つのデータをバンクメモリB0, B1, B2, B3から同時に読み出すことができる。それにより、システムの小型化および低コスト化を図ることができる。

[第2の発明]

第13図は第2の発明の第1の実施例（以下、「第3の実施例」という）におけるハフマン符号化装置の構成を示すブロック図である。

第13図に示すように、ハフマン符号化装置は、バンクメモリ201、アドレス発生部202、データカウンタ部203、FIFO（ファースト・イン・ファースト・アウト・メモリ；先入れ先出しメモリ）204a, 204b、セレクト部205およびハフマン符号化部206を含む。

バンクメモリ201は、量子化部200（第18図参照）から出力された 8×8 の量子化されたDCT係数をデータとして記憶する。アドレス発生部202は、クロック信号CLKに同期してバンクメモリ201からジグザグスキャンの順にデータを読み出すためのアドレスを発生する。バンクメモリ201の各アドレスにはデータが2個ずつ格納される。それにより、クロック信号CLKの1クロックで2個のデータを同時に

読み出すことが可能となっている。

バンクメモリ 201 から同時に読み出された 2 個のデータのうち一方は 11 ビットのデータバス DB 1 を介してデータカウンタ部 203 に転送され、他方は 11 ビットのデータバス DB 2 を介してデータカウンタ部 203 に転送される。

データカウンタ部 203 は、バンクメモリ 201 から与えられるデータが“0”（無効係数）であるか否かを判定し、データが“0”である場合には連続する“0”の数を有効係数（“0”以外の係数）が与えられるまでカウントし、連続する“0”の数を示すラン長および有効係数を 1 組のデータとして FIFO 204 a, 204 b に交互に書き込む。データカウンタ部 203 は、バンクメモリ 201 から与えられた 2 つのデータが共に“0”でない場合にはラン長をそれぞれ“0”とし、ラン長および有効係数を 1 組のデータとして FIFO 204 a, 204 b にそれぞれ書き込む。FIFO 204 a, 204 b に書き込まれたデータは順次シフトされて出力される。

セクタ 205 は、FIFO 204 a, 204 b から出力されるデータを交互に選択し、データバス DB 3 を介してハフマン符号化部 206 に与える。ハフマン符号化部 206 は、AC 係数の符号化時に、セクタ 205 から与えられるラン長および有効係数の組み合わせからなるデータに基づいてハフマン符号化処理を行い、ハフマン符号を含む圧縮画像データを出力する。

第 3 の実施例では、バンクメモリ 201 が記憶手段に相当し、アドレス発生部 202 が読み出し手段に相当し、データカウンタ部 203 が計数手段に相当し、ハフマン符号化部 206 が符号手段に相当する。また、FIFO 204 a, 204 b がデータ格納手段に相当し、セクタ 205 が選択手段に相当する。

次に、第 3 の実施例における符号化方法について説明する。第 3 の実施例の符号化方法は、DCT 係数を複数個ずつ読み出す工程と、読み出された複数個の DCT 係数を複数個のデータバスを用いてそれぞれ転送する工程と、転送されたデータをそれぞれ格納する工程と、転送された

DCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次計算する工程と、計算されたデータに基づいてハフマン符号化処理を行う工程とからなり、ハフマン符号を生成することを特徴とするものである。

以下に、詳細にこの符号化方法を説明する。

第14図は第13図のハフマン符号化方法の一例を示す図であり、(a)はクロック信号CLKおよびデータバスDB1、DB2上のデータを示し、(b)はFIFO204a、204bの内容を示し、(c)はデータバスDB3上のデータを示す。

ここでは、8個のデータを処理する場合を考える。バンクメモリ201からジグザグスキャンによりDCT係数のデータ“D0”、“D1”、“0”、“D2”、“0”、“0”、“D3”、“D4”が読み出される。データ“D0”、“D1”、“D2”、“D3”、“D4”は有効係数であり、“0”は無効係数である。

第14図(a)に示すように、データ“D0”、“D1”が同時に読み出され、データ“0”、“D2”が同時に読み出され、データ“0”、“0”が同時に読み出され、データ“D3”、“D4”が同時に読み出される。データ“D0”、“0”、“0”、“D3”はデータバスDB1を介してデータカウンタ部203に転送され、データ“D1”、“D2”、“0”、“D4”はデータバスDB2を介してデータカウンタ部203に転送される。バンクメモリ201からデータカウンタ部203への8個のデータの転送時間はクロック信号CLKの4サイクル分となる。

データカウンタ部203は、データバスDB1を介して与えられるデータ“D0”が有効係数であり、データバスDB2を介して与えられるデータ“D1”も有効係数であるので、FIFO204aにラン長“0”および有効係数“D0”を1組のデータとして書き込み、FIFO204bにラン長“0”および有効係数“D1”を1組のデータとして書き込む。

次に、データカウンタ部203は、データバスDB1を介して与えられるデータが“0”であるので、ラン長を“1”とカウントし、データバスDB2を介して与えられるデータ“D2”が有効係数であるので、ラン長“1”および有効係数“D2”を1組のデータとしてFIFO204aに書き込む。

さらに、データカウンタ部203は、データバスDB1を介して与えられるデータが“0”であるので、ラン長を“1”とカウントし、データバスDB2を介して与えられるデータが“0”であるので、ラン長を“2”とカウントする。次に、データカウンタ部203は、データバスDB1を介して与えられるデータ“D3”が有効係数であり、データバスDB2を介して与えられるデータ“D4”が有効係数であるので、ラン長“2”および有効係数“D3”を1組のデータとしてFIFO204bに書き込み、ラン長“0”および有効係数“D4”を1組のデータとしてFIFO204aに書き込む。

これにより、第14図(b)に示すように、FIFO204aには、ラン長／有効係数として“0／D0”，“1／D2”，“0／D4”が順次書き込まれ、FIFO204bには、ラン長／有効係数として“0／D1”，“2／D3”が順次書き込まれる。

セクタ205は、FIFO204a，204bから出力されるデータを交互に選択し、データバスDB3を介してハフマン符号化部206に転送する。これにより、第14図(c)に示すように、ハフマン符号化部206にはラン長と有効係数との組み合わせを示すデータ“0／D0”，“0／D1”，“1／D2”，“2／D3”，“0／D4”が順に与えられる。この場合、セクタ205からハフマン符号化部206へのデータの転送時間はクロック信号CLKの5サイクル分となる。

このように、バンクメモリ201からデータカウンタ部203への8個のデータの転送は4サイクルで行われ、セクタ205からハフマン符号化部206へのデータの転送は5サイクルで行われる。したがって、上記の例では、8個のデータを5サイクルで処理することが可能となる。

第3の実施例のハフマン符号化装置および符号化方法では、バンクメ

メモリ201からデータカウンタ部203に同時に2個のデータが転送されるので、バンクメモリ201からデータカウンタ部203へのデータの転送に要するサイクル数が少なくなる。また、バンクメモリ201から読み出されるデータにおいて“0”が連続する場合にセクタ205から出力されるデータの数が少なくなるので、セクタ205からハフマン符号化部206へのデータの転送に要するサイクル数が少なくなり、かつハフマン符号化部206の処理の負担が軽減される。第3の実施例において、データの処理に要するサイクル数は、従来のハフマン符号化装置に比べて最小で2分の1になる。したがって、ハフマン符号化装置における処理が高速化され、性能が向上する。

なお、第3の実施例では、バンクメモリ201からデータカウンタ部203へのデータバスの幅を従来の2倍に拡張し、バンクメモリ201から同時に2個のデータを読み出す場合を説明したが、バンクメモリ201からデータカウンタ部203へのデータバスの幅を従来の N_B 倍に拡張し、バンクメモリ201から同時に N_B 個のデータを読み出すように構成してもよい。ここで、 N_B は任意の整数である。この場合、データの処理に要するサイクル数は、従来のハフマン符号化装置および符号化方法に比べて最小で N_B 分の1になる。

第15図は第2の発明の第2の実施例（以下、「第4の実施例」という）におけるハフマン復号化装置の構成を示すブロック図である。

第15図に示すように、ハフマン復号化装置は、ハフマン復号化部211、セクタ212、FIFO213a、213b、データカウンタ部214、バンクメモリ215およびアドレス発生部216を含む。

ハフマン復号化部211は、AC係数の復号化時に、圧縮画像データに含まれるハフマン符号にハフマン復号化処理を行い、ラン長および有効係数の組み合わせからなるデータをデータバスDB4を介してセクタ212に転送する。セクタ212は、ハフマン復号化部211から与えられるデータをFIFO213a、213bに交互に書き込む。FIFO213a、213bに書き込まれたデータは順次シフトされて出力される。

データカウンタ部214は、FIFO213a, 213bから与えられる各データのラン長および有効係数に基づいて量子化されたDCT係数を生成し、生成されたDCT係数を2個ずつ同時に出力する。

データカウンタ部214から同時に出力された2個のデータのうち一方は11ビットのデータバスDB5を介してバンクメモリ215に転送され、他方は11ビットのデータバスDB6を介してバンクメモリ215に転送される。

アドレス発生部216は、クロック信号CLKに同期してバンクメモリ215にジグザグスキャンの順にデータを書き込むためのアドレスを発生する。この場合、バンクメモリ215の各アドレスにはデータが2個ずつ書き込まれる。それにより、クロック信号CLKの1クロックで2個のデータを同時に書き込むことが可能となっている。バンクメモリ215は、データカウンタ部214から与えられた 8×8 の量子化されたDCT係数をデータとして記憶する。バンクメモリ215に記憶されたデータは、逆量子化部700（第18図参照）に与えられる。

第4の実施例では、ハフマン復号化部211が復号化手段に相当し、データカウンタ部214が生成手段に相当し、バンクメモリ215が記憶手段に相当し、アドレス発生部216が書き込み手段に相当する。また、セクタ212が選択手段に相当し、FIFO213a, 213bがデータ格納手段に相当する。

第4の実施例のハフマン復号化装置および復号化方法では、第3の実施例のハフマン符号化装置および符号化方法と逆の方法により処理が行われる。ラン長の値が大きい場合にはハフマン復号化部211から出力されるデータの数が少なくなるので、ハフマン復号化部211からセクタ205へのデータの転送に要するサイクル数が少なくなり、かつハフマン復号化部211の処理の負担が軽減される。また、データカウンタ部214からバンクメモリ215に同時に2個のデータが転送されるので、データカウンタ部214からバンクメモリ215へのデータの転送に要するサイクル数が少なくなる。第4の実施例においても、データの処理に要するサイクル数は、従来のハフマン復号化装置および復号化

方法に比べて最小で2分の1になる。したがって、ハフマン復号化処理が高速化され、性能が向上する。

なお、第4の実施例では、データカウンタ部214からバンクメモリ215へのデータバスの幅を2倍に拡張し、バンクメモリ215に同時に2個のデータを書き込む場合を説明したが、データカウンタ部214からバンクメモリ215へのデータバスの幅を N_B 倍に拡張し、バンクメモリ215に同時に N_B 個のデータを書き込むように構成してもよい。この場合、データの処理に要するサイクル数は、従来のハフマン復号化装置および復号化方法に比べて最小で N_B 分の1になる。

[第3の発明]

第16図は第3の発明の実施例（以下、「第5の実施例」という）におけるハフマン復号化装置の構成を示すブロック図である。

第16図のハフマン復号化装置は、頭出し処理部301、発生頻度生成部302、メモリ303、 i 個のレジスタ $R_1 \sim R_i$ 、 i 個の比較器 $C_1 \sim C_i$ 、レジスタ304およびセクタ305を含む。ここで、ハフマン符号の数を N 個とすると、 i は $0 < i < N$ の関係を有する。第5の実施例では、 $i = 20$ である。また、第5の実施例では、ハフマン符号の最大符号長 k を16ビットとする。通常、符号長の短いハフマン符号ほど発生頻度が高く、例えば、発生頻度が最上位から20番目までのハフマン符号は8ビット以下の符号長を有する。

頭出し処理部301は、入力される圧縮画像データから各ハフマン符号の先頭位置を検出し、検出された先頭位置から16ビットの圧縮画像データを発生頻度生成部302に与え、検出された先頭位置から8ビットの圧縮画像データを比較器 $C_1 \sim C_i$ に与える。

発生頻度生成部302は、頭出し処理部301から与えられた圧縮画像データに含まれるハフマン符号の発生頻度を後述する方法で生成し、生成された発生頻度をメモリ303のアドレス入力端子ADにアドレス信号として与える。

メモリ303としては、RAM（ランダムアクセスメモリ）等が用いられる。このメモリ303の各アドレスには、そのアドレスが示す発生

頻度を有するハフマン符号に対応する復号化データが記憶されている。復号化データはラン長（連続する0の数）およびグループ番号からなる。ハフマン符号と発生頻度とは1対1に対応し、発生頻度と復号化データとは1対1に対応している。したがって、メモリ303には、最大N個の復号化データが記憶される。

発生頻度をメモリ303のアドレス入力端子ADにアドレス信号として与えることにより、その発生頻度のハフマン符号に対応する復号化データがデータ出力端子DOから出力される。

i個のレジスタR1～Riには、発生頻度が最上位からi番目までのi個のハフマン符号がそれぞれ格納される。比較器C1～CiはレジスタR1～Riにそれぞれ対応して設けられている。比較器C1～Ciは、頭出し処理部301から与えられた圧縮画像データに含まれるハフマン符号をそれぞれ対応するレジスタR1～Riに格納されるハフマン符号と比較する。各比較器C1～Ciは、頭出し処理部301から与えられたハフマン符号と対応するレジスタR1～Riに格納されたハフマン符号とが一致したときに例えばハイレベルの一致信号を出力し、それらが一致しないときに例えばローレベルの不一致信号を出力する。

レジスタ304は、レジスタR1～Riに対応してi個の記憶領域M1～Miを有する。このレジスタ304の記憶領域M1～Miには、発生頻度が最上位からi番目までのハフマン符号に対応する復号化データがそれぞれ記憶される。各復号化データはラン長およびグループ番号からなる。

セクタ305は、メモリ303から出力される復号化データまたはレジスタ304から出力される復号化データを選択的に出力する。

第5の実施例では、レジスタR1～Riが第1の記憶手段に相当し、比較器C1～Ciが一致検出手段に相当し、レジスタ304が第2の記憶手段に相当する。また、発生頻度生成部302が発生頻度生成手段に相当し、メモリ303が第3の記憶手段に相当し、セクタ305が選択手段に相当する。

第17図は第16図のハフマン復号化装置における発生頻度生成部3

02の構成を示すブロック図である。

発生頻度生成部302は、定数記憶部321、最小符号記憶部322、符号長検出部323、セクタ324および加算器325を含む。ハフマン符号と発生頻度との間には次式の関係式が成り立つ。

発生頻度＝ハフマン符号－定数 M_x

定数 M_x はハフマン符号の符号長に固有であり、予め計算により求めることができる。よって、入力されたハフマン符号の符号長を検出し、検出された符号長に対応する定数 M_x を用いて発生頻度を算出することができる。

第17図の定数記憶部321には、1ビットから16ビットの符号長にそれぞれ対応する定数 M_x が記憶される。定数記憶部321は、例えばレジスタからなる。

最小符号記憶部322には、ハフマン符号の符号長ごとの最小符号が記憶されている。すなわち、最小符号記憶部322には、符号長が1ビットのハフマン符号の最小符号から符号長が16ビットのハフマン符号の最小符号までの合計16個の最小符号が記憶される。たとえば、4ビットの符号長を有するハフマン符号が“1010”、“1011”および“1100”の3つであるとする、最小符号記憶部322には、符号長が4ビットのハフマン符号の最小符号として“1010”が記憶される。この最小符号記憶部322は、例えばレジスタからなる。

符号長検出部323は、入力されるハフマン符号と最小符号記憶部322から出力される16個のハフマン符号とを比較することにより入力されるハフマン符号の符号長を検出する。

セクタ324は、符号長検出部323により検出された符号長に基づいて定数記憶部321から出力される16個の定数 M_x のうち1つを選択し、選択された定数 M_x を加算器325の一方の入力端子に与える。加算器325の他方の入力端子には、入力されたハフマン符号が与えられる。

加算器325は、入力されたハフマン符号から定数 M_x を減算することにより発生頻度を算出し、算出された発生頻度をメモリ303のアド

レス入力端子ADにアドレス信号として与える。それにより、メモリ303のデータ出力端子DOから対応するラン長およびグループ番号からなる復号化データが出力される。

第5の実施例では、定数記憶部321が定数記憶手段に相当し、最小符号記憶部322が最小符号記憶手段に相当し、符号長検出部323が符号長検出手段に相当する。また、セクタ324が定数選択手段に相当し、加算器325が算出手段に相当する。

次に、第5の実施例のハフマン復号化方法について説明する。

第5の実施例のハフマン復号化方法は、複数のハフマン符号のうち所定数のハフマン符号をそれぞれ記憶する工程と、前記所定数のハフマン符号にそれぞれ対応する所定数の復号化データを記憶し、入力されるハフマン符号と対応する前記記憶されたハフマン符号との一致を検出し、前記一致検出信号に応答して前記所定数の復号化データのうちのいずれかを出力する工程と、前記複数のハフマン符号のうち少なくとも残りの複数のハフマン符号の発生頻度が示すアドレスに復号化データを記憶し、入力されるハフマン符号に基づいて対応する発生頻度を生成する工程と前記発生頻度をアドレス信号して受け、アドレス信号により指定されるアドレスから復号化データを出力することを特徴とするハフマン復号化方法である。

以下に、詳細にこの復号化方法を説明する。

頭出し処理部301は、圧縮画像データに含まれる各ハフマン符号の先頭位置を検出し、検出された先頭位置から16ビットの圧縮画像データを発生頻度生成部302に与え、検出された先頭位置から8ビットの圧縮画像データを*i*個の比較器C1～Ciに与える。

各比較器C1～Ciは、頭出し処理部301から与えられた圧縮画像データに含まれるハフマン符号をそれぞれ対応するレジスタR1～Riに格納されるハフマン符号と比較する。頭出し処理部301から与えられるハフマン符号がレジスタR1～Riに格納される*i*個のハフマン符号のいずれかと一致すると、比較器C1～Ciのいずれかから例えばハイレベルの一致信号が出力され、他の比較器からは例えばローレベルの

不一致信号が出力される。

比較器C 1～C i の出力信号はアドレス信号としてレジスタ3 0 4に与えられる。それにより、レジスタ3 0 4の記憶領域M 1～M i のうち一致信号を出力した比較器に対応する記憶領域から復号化データが出力される。

この場合、比較器C 1～C i およびレジスタR 1～R i による復号化データの出力は、基準信号の1サイクルで行われる。

頭出し処理部3 0 1から与えられる圧縮画像データに含まれるハフマン符号がレジスタR 1～R i に格納されるハフマン符号のいずれとも一致しない場合には、圧縮画像データに含まれるハフマン符号に基づいて発生頻度生成部3 0 2から発生頻度が出力される。

発生頻度生成部3 0 2から出力された発生頻度はアドレス信号としてメモリ3 0 3のアドレス入力端子ADに与えられる。それにより、メモリ3 0 3のデータ出力端子DOからその発生頻度を有するハフマン符号に対応する復号化データが出力される。

この場合、発生頻度生成部3 0 2およびメモリ3 0 3による復号化データの出力は、基準信号の3サイクルで行われる。

セクタ3 0 5は、頭出し処理部3 0 1から与えられるハフマン符号が上位i 番目までの発生頻度を有するハフマン符号である場合には、レジスタ3 0 4から出力される復号化データを出力し、頭出し処理部3 0 1から与えられるハフマン符号が上位i 番目までの発生頻度を有するハフマン符号でない場合には、メモリ3 0 3から出力される復号化データを出力する。

最上位から2 0 番目までの発生頻度を有するハフマン符号の出現確率は約9 0 %以上であるので、頭出し処理部3 0 1から与えられるハフマン符号の約9 0 %が比較器C 1～C i およびレジスタ3 0 4による1サイクルの処理で復号化される。したがって、ハフマン復号化装置の処理が全体として高速化される。

また、ハフマン符号と発生頻度とは1対1に対応し、発生頻度と復号化データは1対1に対応するので、メモリ3 0 3に必要な記憶容量はハ

フマン符号と同数の最大Nワードとなる。したがって、ハフマン復号化装置が小型化される。

なお、第5の実施例では、複数のハフマン符号のうち発生頻度が最上位から20番目までのハフマン符号をレジスタR1～Riに格納しているが、レジスタR1～Riに格納するハフマン符号の数はこれに限定されず、任意の数のハフマン符号をレジスタに格納することができる。

また、第5の実施例では、メモリ303にすべてのハフマン符号に対応する復号化データを格納しているが、レジスタR1～Riに格納されるi個のハフマン符号を除くハフマン符号に対応する復号化データをメモリ303に格納してもよい。

なお、今回開示された実施の形態はすべての点で例示であって限定的なものではないと考えられるべきである。

すなわち符号化手段はハフマン符号化部に限定されるものではなく、復号化手段はハフマン復号化部に限定されるものではなく、データ記憶手段はメモリやバンクメモリやレジスタに限定されるものではなく、データ格納手段はFIFOに限定されるものではなく、データ転送手段はデータバスに限定されるものではない。

産業上の利用可能性

以上のように本発明に係る画像データ処理装置によれば、高速にデータを並べ替えることができるとともに小型化および低コスト化を図ることが可能となる。また、画像処理工程の中でも特に高速処理の求められる画像データの符号処理や可変長符号データの復号処理を、従来より効率よく符号および復号することができる。また、本発明によれば、画像処理手段の回路規模を増大させることなく、従来より高速に入力データを復号することができる。

このように、回路規模を増大させることなく符号の復号化を高速化に大きく寄与するものであり、画像処理関連の分野に広く利用することのできるものである。

請 求 の 範 囲

1. 複数行および複数列の二次元のデータからなるブロックを処理するデータ処理装置であって、

ブロックのデータを記憶する記憶手段と、

前記記憶手段にブロックのデータを第1のスキャン順に書き込む書き込み手段と、

前記記憶手段に記憶されたブロックのデータを第2のスキャン順に読み出す読み出し手段とを備え、

前記記憶手段は n 個のメモリを含み、 n は2以上の整数であり、ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように前記 n 個のメモリに振り分けられ、

前記書き込み手段は、第1のスキャン順において異なるメモリに同時にデータを書き込み、

前記読み出し手段は、第2のスキャン順において異なるメモリから同時にデータを読み出すことを特徴とするデータ処理装置。

2. m 行および m 列の二次元のデータからなるブロックを処理するデータ処理装置であって、

ブロックのデータを記憶する記憶手段と、

前記記憶手段にブロックのデータを第1のスキャン順に書き込む書き込み手段と、

前記記憶手段に記憶されたブロックのデータを第2のスキャン順に読み出す読み出し手段とを備え、

前記記憶手段は n 個のメモリを含み、前記 n は m の2以上の約数であり、ブロックのデータは、第1のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるとともに第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように前記 n 個のメモリに振り分けられ、

前記書き込み手段は、第1のスキャン順において異なる n 個のメモリに同時にデータを書き込み、

前記読み出し手段は、第2のスキャン順において異なる n 個のメモリから同時にデータを読み出すことを特徴とするデータ処理装置。

3. 前記第1のスキャン順は列方向または行方向のうち一方の方向のラスタスキャン順であり、前記第2のスキャン順は列方向または行方向のうち他方の方向のラスタスキャン順であることを特徴とする請求の範囲第1項または第2項記載のデータ処理装置。

4. 前記第1のスキャン順はラスタスキャン順またはジグザグスキャン順の一方であり、前記第2のスキャン順はラスタスキャン順またはジグザグスキャン順の他方であることを特徴とする請求の範囲第1項または第2項記載のデータ処理装置。

5. 複数行および複数列の二次元のデータからなるブロックを処理するデータ処理方法であって、

ブロックのデータを第1のスキャン順において連続する n 個（ n は2以上の整数）のデータが異なる n 個のメモリに記憶されるとともに、第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように、前記 n 個のメモリに振り分けて、第1のスキャン順に異なるメモリに同時にデータを書き込んで記憶し、

記憶されたブロックのデータを第2のスキャン順に、異なるメモリから同時にデータを読み出すことを特徴とするデータ処理方法。

6. m 行および m 列の二次元のデータからなるブロックを処理するデータ処理方法であって、

ブロックのデータを第1のスキャン順において連続する n 個（ n は2以上の整数であり、かつ n は m の2以上の約数）のデータが異なる n 個のメモリに記憶されるとともに、第2のスキャン順において連続する n 個のデータが異なる n 個のメモリに記憶されるように、前記 n 個のメモリに振り分けて、第1のスキャン順に異なるメモリに同時にデータを書き込んで記憶し、

記憶されたブロックのデータを第2のスキャン順に、異なるメモリか

ら同時にデータを読み出すことを特徴とするデータ処理方法。

7. 前記第1のスキャン順は列方向または行方向のうち一方の方向のラスタスキャン順であり、前記第2のスキャン順は列方向または行方向のうち他方の方向のラスタスキャン順であることを特徴とする請求の範囲第5項または第6項記載のデータ処理方法。

8. 前記第1のスキャン順はラスタスキャン順またはジグザグスキャン順の一方であり、前記第2のスキャン順はラスタスキャン順またはジグザグスキャン順の他方であることを特徴とする請求の範囲第5項または第6項記載のデータ処理方法。

9. DCT係数をハフマン符号に符号化するハフマン符号化装置であって、

複数のDCT係数を記憶する記憶手段と、

前記記憶手段に記憶されたDCT係数を複数個ずつ読み出す読み出し手段と、

前記読み出し手段により前記記憶手段から読み出されるDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力する計数手段と、

前記計数手段から順次出力されるデータに基づいてハフマン符号化処理を行い、ハフマン符号を生成する符号化手段とを備えたことを特徴とするハフマン符号化装置。

10. DCT係数をハフマン符号に符号化するハフマン符号化装置であって、

複数のDCT係数を記憶する記憶手段と、

前記記憶手段に記憶されたDCT係数を複数個ずつ読み出す読み出し手段と、

前記読み出し手段により前記記憶手段から複数個ずつ読み出されるDCT係数をそれぞれ転送する複数組のデータバスと、

入力されたデータを格納するとともに入力順に出力する複数のデータ格納手段と、

前記複数組のデータバスにより転送されるDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを前記複数のデータ格納手段に順に入力する計数手段と、

前記複数のデータ格納手段からそれぞれ出力されるデータを順に選択して出力する選択手段と、

前記選択手段から出力されるデータに基づいてハフマン符号化処理を行い、ハフマン符号を生成する符号化手段とを備えたことを特徴とするハフマン符号化装置。

1 1. ハフマン符号をDCT係数に復号化するハフマン復号化装置であって、

入力されるハフマン符号にハフマン復号化処理を行い、連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力する復号化手段と、

前記復号化手段から出力されるデータに基づいてDCT係数を生成し、生成されたDCT係数を複数個ずつ出力する生成手段と、

複数のDCT係数を記憶するための記憶手段と、

前記生成手段から出力されるDCT係数を複数個ずつ前記記憶手段に書き込む書き込み手段とを備えたことを特徴とするハフマン復号化装置。

1 2. ハフマン符号をDCT係数に復号化するハフマン復号化装置であって、

入力されるハフマン符号にハフマン復号化処理を行い、連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力する復号化手段と、

入力されたデータを格納するとともに入力順に出力する複数のデータ格納手段と、

前記復号化手段から出力されるデータを選択して前記複数のデータ格納手段に順に入力する選択手段と、

前記複数のデータ格納手段から出力されるデータに基づいてDCT係数を生成し、生成されたDCT係数を複数個ずつ出力する生成手段と、

前記生成手段から複数個ずつ出力されるDCT係数をそれぞれ転送する複数組のデータベースと、

複数のDCT係数を記憶するための記憶手段と、

前記複数組のデータベースにより転送されるDCT係数を複数個ずつ前記記憶手段に書き込む書き込み手段とを備えたことを特徴とするハフマン復号化装置。

13. DCT係数をハフマン符号に符号化するハフマン符号化方法であって、

DCT係数を複数個ずつ読み出し、

読み出されたDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次計算し、

順次計算したデータに基づいてハフマン符号化処理を行い、

ハフマン符号を生成することを特徴とするハフマン符号化方法。

14. DCT係数をハフマン符号に符号化するハフマン符号化方法であって、

DCT係数を複数個ずつ読み出し、

読み出された複数個のDCT係数を複数個のデータベースを用いてそれぞれ転送し、

転送されたデータをそれぞれ格納し、

転送されたDCT係数において有効係数が現れるまで連続する無効係数の数を計数し、連続する無効係数の数および有効係数の組み合わせからなるデータを順次計算し、

計算されたデータに基づいてハフマン符号化処理を行い、

ハフマン符号を生成することを特徴とするハフマン符号化方法。

15. ハフマン符号をDCT係数に復号化するハフマン復号化方法であって、

入力されたハフマン符号にハフマン復号化処理を行い、

連続する無効係数の数および有効係数の組み合わせからなるデータを順次出力し、

出力されたデータに基づいてDCT係数を生成し、

生成されたDCT係数を複数個ずつ出力し、

出力されたDCT係数を複数個ずつ書き込むことを特徴とするハフマン復号化方法。

16. ハフマン符号をDCT係数に復号化するハフマン復号化方法であって、

入力されたハフマン符号にハフマン復号化処理を行い、

連続する無効係数の数および有効係数の組み合わせからなるデータを順次計算し、

計算されたデータを選択して格納し、

格納されたデータに基づいてDCT係数を生成し、

生成されたDCT係数を複数個ずつ出力し、

出力された複数個のDCT係数を複数個のデータパスを用いてそれぞれ転送し、

転送されたDCT係数を複数個ずつ書き込むことを特徴とするハフマン復号化方法。

17. 入力されるハフマン符号を復号化して復号化データを出力するハフマン復号化装置であって、

複数のハフマン符号のうち所定数のハフマン符号をそれぞれ記憶する複数の第1の記憶手段と、

前記複数の第1の記憶手段に対応して設けられ、各々が入力されるハフマン符号と対応する第1の記憶手段に記憶されるハフマン符号との一致を検出する複数の一致検出手段と、

前記所定数のハフマン符号にそれぞれ対応する所定数の復号化データを記憶し、前記複数の一致検出手段の出力信号に応答して前記所定数の復号化データのうちいずれかを出力する第2の記憶手段と、

入力されるハフマン符号に基づいて対応する発生頻度を生成する発生頻度生成手段と、

前記複数のハフマン符号のうち少なくとも残りの複数のハフマン符号の発生頻度が示すアドレスに復号化データを記憶し、前記発生頻度生成

手段により生成される発生頻度をアドレス信号して受け、アドレス信号により指定されるアドレスから復号化データを出力する第3の記憶手段とを備えたことを特徴とするハフマン復号化装置。

18. 前記所定数のハフマン符号は、残りのハフマン符号よりも高い発生頻度を有することを特徴とする請求の範囲第17項記載のハフマン復号化装置。

19. 前記発生頻度生成手段は、

ハフマン符号の符号長ごとに設定された定数を記憶する定数記憶手段と、

ハフマン符号の符号長ごとの最小符号を記憶する最小符号記憶手段と、
前記最小符号記憶手段に記憶される符号長ごとの最小符号に基づいて入力されたハフマン符号の符号長を検出する符号長検出手段と、

前記符号長検出手段により検出された符号長に基づいて前記定数記憶手段に記憶された定数のいずれかを選択する定数選択手段と、

前記定数選択手段により選択された定数および入力されたハフマン符号に基づいて発生頻度を算出する算出手段とを備えたことを特徴とする請求の範囲第17項記載のハフマン復号化装置。

20. 前記第2および第3の記憶手段から出力される復号化データを選択的に出力する復号化データ選択手段をさらに備えたことを特徴とする請求の範囲第17項記載のハフマン復号化装置。

21. ハフマン符号を復号化して復号化データを出力するハフマン復号化方法であって、

複数のハフマン符号のうち所定数のハフマン符号をそれぞれ記憶し、
前記所定数のハフマン符号にそれぞれ対応する所定数の復号化データを記憶し、

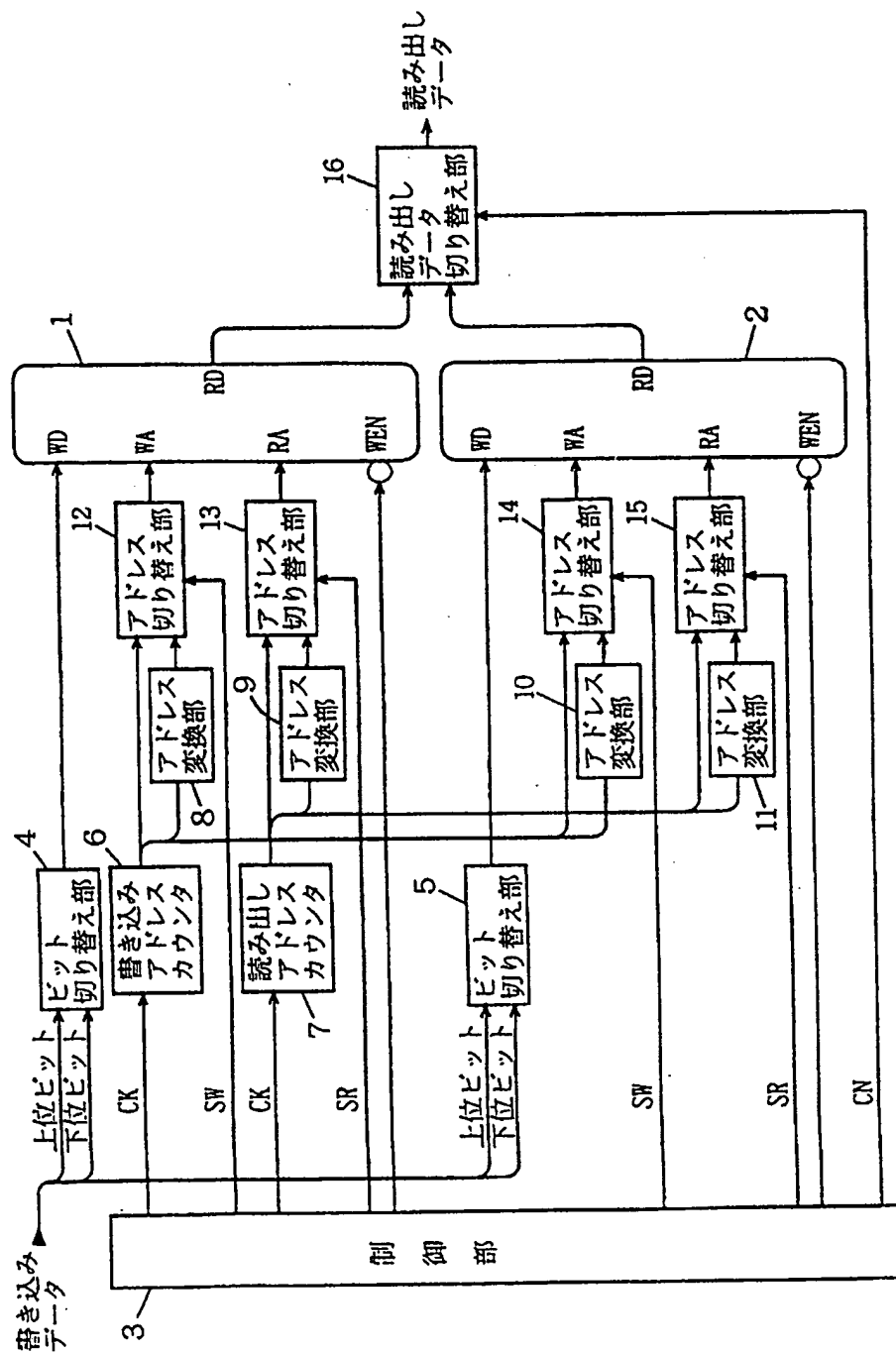
入力されるハフマン符号と対応する前記記憶されたハフマン符号との一致を検出し、

前記一致検出信号に応答して前記所定数の復号化データのうちのいずれかを出力するとともに、

前記複数のハフマン符号のうち少なくとも残りの複数のハフマン符号の

- 発生頻度が示すアドレスに復号化データを記憶し、
入力されるハフマン符号に基づいて対応する発生頻度を生成し、
前記発生頻度をアドレス信号して受け、
アドレス信号により指定されるアドレスから復号化データを出力することを特徴とするハフマン復号化方法。
22. 前記所定数のハフマン符号は、残りのハフマン符号よりも高い発生頻度を有することを特徴とする請求の範囲第21項のハフマン復号化方法。
23. 前記発生頻度を生成するにおいて、
ハフマン符号の符号長ごとに設定された定数を記憶し、
ハフマン符号の符号長ごとの最小符号を記憶し、
前記記憶された符号長ごとの最小符号に基づいて入力されたハフマン符号の符号長を検出し、
前記検出された符号長に基づいて記憶された定数のいずれかを選択し、
前記選択された定数および入力されたハフマン符号に基づいて発生頻度を生成することを特徴とする請求の範囲第21項のハフマン復号化方法。
24. 出力される復号化データを選択的に出力することを特徴とする請求の範囲第21項のハフマン復号化方法。

図 1



第 2 図

(a)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(c)

0	1	2	3	4	5	6	7
9	8	11	10	13	12	15	14
16	17	18	19	20	21	22	23
25	24	27	26	29	28	31	30
32	33	34	35	36	37	38	39
41	40	43	42	45	44	47	46
48	49	50	51	52	53	54	55
57	56	59	58	61	60	63	62

(b)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(d)

	1							2									
0	0	2	4	6				0	1	3	5	7					
4	9	11	13	15				4	8	10	12	14					
8	16	18	20	22				8	17	19	21	23					
12	25	27	29	31				12	24	26	28	30					
16	32	34	36	38				16	33	35	37	39					
20	41	43	45	47				20	40	42	44	46					
24	48	50	52	54				24	49	51	53	55					
28	57	59	61	63				28	56	58	60	62					

第 3 図

(a)

0	8	16	24	32	40	48	56
1	9	17	25	33	41	49	57
2	10	18	26	34	42	50	58
3	11	19	27	35	43	51	59
4	12	20	28	36	44	52	60
5	13	21	29	37	45	53	61
6	14	22	30	38	46	54	62
7	15	23	31	39	47	55	63

(c)

0	8	16	24	32	40	48	56
9	1	25	17	41	33	57	49
2	10	18	26	34	42	50	58
11	3	27	19	43	35	59	51
4	12	20	28	36	44	52	60
13	5	29	21	45	37	61	53
6	14	22	30	38	46	54	62
15	7	31	23	47	39	63	55

(b)

0	8	16	24	32	40	48	56
1	9	17	25	33	41	49	57
2	10	18	26	34	42	50	58
3	11	19	27	35	43	51	59
4	12	20	28	36	44	52	60
5	13	21	29	37	45	53	61
6	14	22	30	38	46	54	62
7	15	23	31	39	47	55	63

(d)

0	0	16	32	48	0	8	24	40	56
4	9	25	41	57	4	1	17	33	49
8	2	18	34	50	8	10	26	42	58
12	11	27	43	59	12	3	19	35	51
16	4	20	36	52	16	12	28	44	60
20	13	29	45	61	20	5	21	37	53
24	6	22	38	54	24	14	30	46	62
28	15	31	47	63	28	7	23	39	55

第 4 図

書き込みデータ		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
メモリ1	書き込みアドレス	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
	データ	0	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	63
メモリ2	書き込みアドレス	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
	データ	1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	67
書き込みデータ		32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	
メモリ1	書き込みアドレス	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
	データ	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	64	66	68	70	72	74	76	78	80	82	84	86	88	90	92	94	96
メモリ2	書き込みアドレス	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
	データ	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	65	67	69	71	73	75	77	79	81	83	85	87	89	91	93	95	97

第 5 図

読み出しデータ		0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
メモリ1 {	読み出しアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256	272	288	304	320	336	352	368	384	400	416	432	448	464	480	496
メモリ2 {	読み出しアドレス	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	データ	4	20	36	52	68	84	100	116	132	148	164	180	196	212	228	244	260	276	292	308	324	340	356	372	388	404	420	436	452	468	484	500
メモリ1 {	読み出しアドレス	2	10	18	26	34	42	50	58	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63	8	16	24	32	40	48	56	64
	データ	2	18	34	50	66	82	98	114	130	146	162	178	194	210	226	242	258	274	290	306	322	338	354	370	386	402	418	434	450	466	482	498
メモリ2 {	読み出しアドレス	6	14	22	30	38	46	54	62	10	18	26	34	42	50	58	66	11	19	27	35	43	51	59	12	20	28	36	44	52	60	68	76
	データ	6	22	38	54	70	86	102	118	134	150	166	182	198	214	230	246	262	278	294	310	326	342	358	374	390	406	422	438	454	470	486	502

第 6 図

(a)								(b)								(c)							
0	1	2	3	4	5	6	7	BO	BI	BO	BI	BO	BI	BO	BI	BO	BI	BO	BI	BO	BI	BO	BI
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	8	16	24	32	40	48	56
8	9	10	11	12	13	14	15	9	8	11	10	13	12	15	14	9	1	25	17	41	33	57	49
16	17	18	19	20	21	22	23	16	17	18	19	20	21	22	23	2	10	18	26	34	42	50	58
24	25	26	27	28	29	30	31	25	24	27	26	29	28	31	30	11	3	27	19	43	35	59	51
32	33	34	35	36	37	38	39	32	33	34	35	36	37	38	39	4	12	20	28	36	44	52	60
40	41	42	43	44	45	46	47	41	40	43	42	45	44	47	46	13	5	29	21	45	37	61	53
48	49	50	51	52	53	54	55	48	49	50	51	52	53	54	55	6	14	22	30	38	46	54	62
56	57	58	59	60	61	62	63	57	56	59	58	61	60	63	62	15	7	31	23	47	39	63	55

a	b	→	a	b
a	b	→	b	a

1, 3, 5, 7 行目そのまま

2, 4, 6, 8 行目 1 つシフト

第 7 図

(a)								(b)								(c)							
0	1	2	3	4	5	6	7	B0	B1	B2	B3	B0	B1	B2	B3	B0	B1	B2	B3	B0	B1	B2	B3
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	8	16	24	32	40	48	56
8	9	10	11	12	13	14	15	11	8	9	10	15	12	13	14	25	1	9	17	57	33	41	49
16	17	18	19	20	21	22	23	18	19	16	17	22	23	20	21	18	26	2	10	50	58	34	42
24	25	26	27	28	29	30	31	25	26	27	24	29	30	31	28	11	19	27	3	43	51	59	35
32	33	34	35	36	37	38	39	32	33	34	35	36	37	38	39	4	12	20	28	36	44	52	60
40	41	42	43	44	45	46	47	43	40	41	42	47	44	45	46	29	5	13	21	61	37	45	53
48	49	50	51	52	53	54	55	50	51	48	49	54	55	52	53	22	30	6	14	54	62	38	46
56	57	58	59	60	61	62	63	57	58	59	56	61	62	63	60	15	23	31	7	47	55	63	39

1, 5 行目	そのまま	a	b	c	d	→	a	b	c	d
2, 6 行目	1 つシフト	a	b	c	d	→	d	a	b	c
3, 7 行目	2 つシフト	a	b	c	d	→	c	d	a	b
4, 8 行目	3 つシフト	a	b	c	d	→	b	c	d	a

(a)

B0 B1 B2 B3 B4 B5 B6 B7

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(b)

B0 B1 B2 B3 B4 B5 B6 B7

0	1	2	3	4	5	6	7
15	8	9	10	11	12	13	14
22	23	16	17	18	19	20	21
29	30	31	24	25	26	27	28
36	37	38	39	32	33	34	35
43	44	45	46	47	40	41	42
50	51	52	53	54	55	48	49
57	58	59	60	61	62	63	56

(c)

B0 B1 B2 B3 B4 B5 B6 B7

0	8	16	24	32	40	48	56
57	1	9	17	25	33	41	49
50	58	2	10	18	26	34	42
43	51	59	3	11	19	27	35
36	44	52	60	4	12	20	28
29	37	45	53	61	5	13	21
22	30	38	46	54	62	6	14
15	23	31	39	47	55	63	7

1行目

そのまま

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

2行目

1つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

3行目

2つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

4行目

3つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

5行目

4つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

6行目

5つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

7行目

6つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

8行目

7つシフト

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

→

→

→

→

→

→

→

→

a	b	c	d	e	f	g	h
---	---	---	---	---	---	---	---

h	a	b	c	d	e	f	g
---	---	---	---	---	---	---	---

g	h	a	b	c	d	e	f
---	---	---	---	---	---	---	---

f	g	h	a	b	c	d	e
---	---	---	---	---	---	---	---

e	f	g	h	a	b	c	d
---	---	---	---	---	---	---	---

d	e	f	g	h	a	b	c
---	---	---	---	---	---	---	---

c	d	e	f	g	h	a	b
---	---	---	---	---	---	---	---

b	c	d	e	f	g	h	a
---	---	---	---	---	---	---	---

第 9 図

(a)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(c)

0	9	10	11	12	5	6	7
8	1	2	3	4	13	14	15
16	17	26	27	28	29	30	23
24	25	18	19	20	21	22	31
32	41	42	43	44	45	38	39
40	33	34	35	36	37	46	47
48	49	50	59	60	61	62	55
56	57	58	51	52	53	54	63

(b)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(d)

0	0	9	10	11	12	5	6	7
8	16	17	26	27	28	29	30	23
16	32	41	42	43	44	45	38	39
24	48	49	50	59	60	61	62	55
0	8	1	2	3	4	13	14	15
8	24	25	18	19	20	21	22	31
16	40	33	34	35	36	37	46	47
24	56	57	58	51	52	53	54	63

第 10 図

書き込みデータ		0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
メモリ1	書き込みアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256	272	288	304	320	336	352	368	384	400	416	432	448	464	480	496
メモリ2	書き込みアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	8	24	40	56	72	88	104	120	136	152	168	184	200	216	232	248	264	280	296	312	328	344	360	376	392	408	424	440	456	472	488	504
書き込みデータ		4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
メモリ1	書き込みアドレス	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	データ	12	28	44	60	76	92	108	124	140	156	172	188	204	220	236	252	268	284	300	316	332	348	364	380	396	412	428	444	460	476	492	508
メモリ2	書き込みアドレス	4	12	20	28	36	44	52	60	5	13	21	29	37	45	53	61	6	14	22	30	38	46	54	62	7	15	23	31	39	47	55	63
	データ	4	20	36	52	68	84	100	116	132	148	164	180	196	212	228	244	260	276	292	308	324	340	356	372	388	404	420	436	452	468	484	500
読み出しデータ		0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
メモリ1	読み出しアドレス	0	1	8	16	9	2	3	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28
	データ	0	16	9	2	10	17	24	32	25	18	11	4	5	12	19	26	33	40	48	41	34	27	20	13	6	7	14	21	28	35	42	49
メモリ2	読み出しアドレス	1	0	0	0	2	3	3	2	8	15	22	29	36	43	50	57	6	13	20	27	34	41	48	55	62	69	76	83	90	97	104	111
	データ	1	8	2	9	3	10	17	24	31	38	45	52	59	66	73	80	87	94	101	108	115	122	129	136	143	150	157	164	171	178	185	192

第 1 1 図

書き込みデータ		0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
メモリ1	書き込みアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
メモリ2	書き込みアドレス	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
	データ	0	8	16	24	32	40	48	56	1	9	17	25	33	41	49	57	2	10	18	26	34	42	50	58	3	11	19	27	35	43	51	59
読み出しデータ		35	42	49	56	57	50	43	36	29	22	15	23	30	37	44	51	58	59	52	45	38	31	39	46	53	60	61	54	47	55	62	63
メモリ1	読み出しアドレス	18	25	26	19	13	15	14	20	27	21	22	23	30	37	44	51	58	59	52	45	38	31	39	46	53	60	61	54	47	55	62	63
	データ	42	49	50	43	29	23	30	44	59	45	38	39	60	61	54	47	55	62	63	31	23	15	22	46	53	60	61	54	47	55	62	63
メモリ2	読み出しアドレス	19	24	25	20	14	7	21	27	26	28	15	22	30	37	44	51	58	59	52	45	38	31	39	46	53	60	61	54	47	55	62	63
	データ	35	56	57	36	22	15	37	51	58	52	31	46	53	60	61	54	47	55	62	63	23	15	22	46	53	60	61	54	47	55	62	63

第 1 2 図

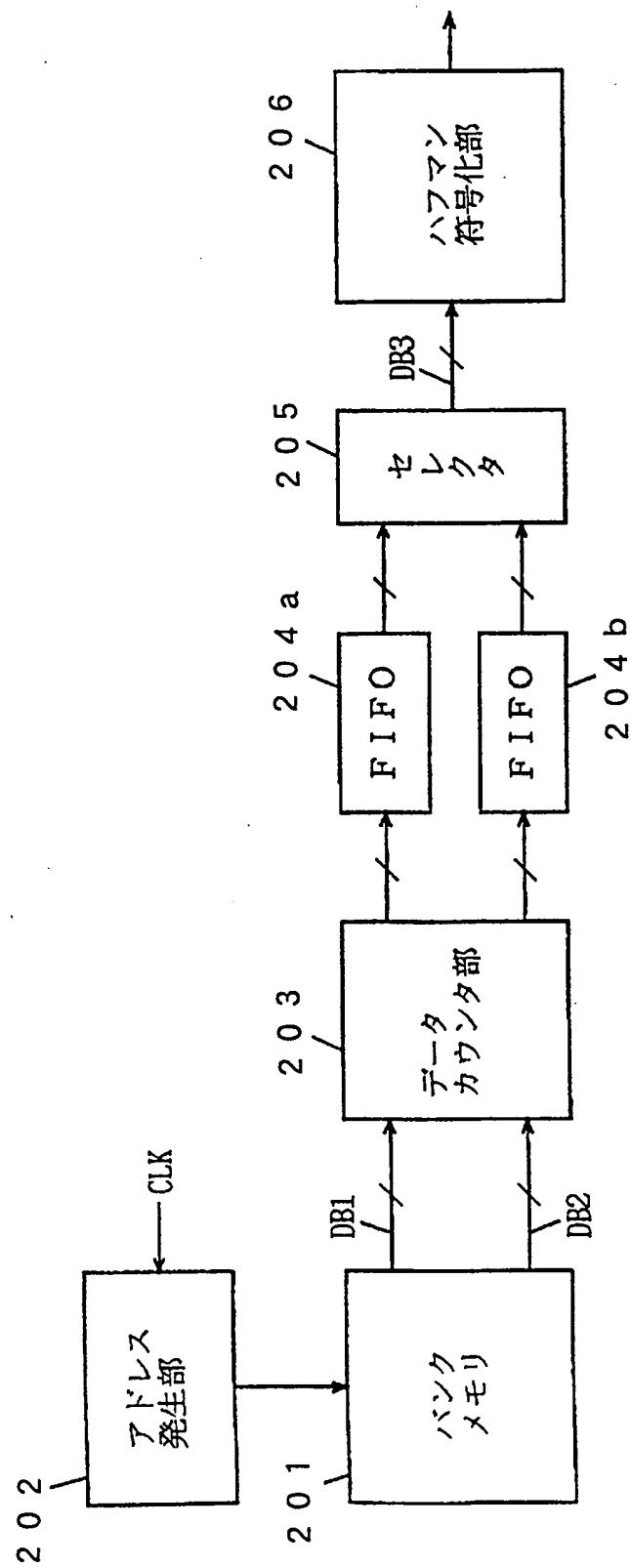
(a)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

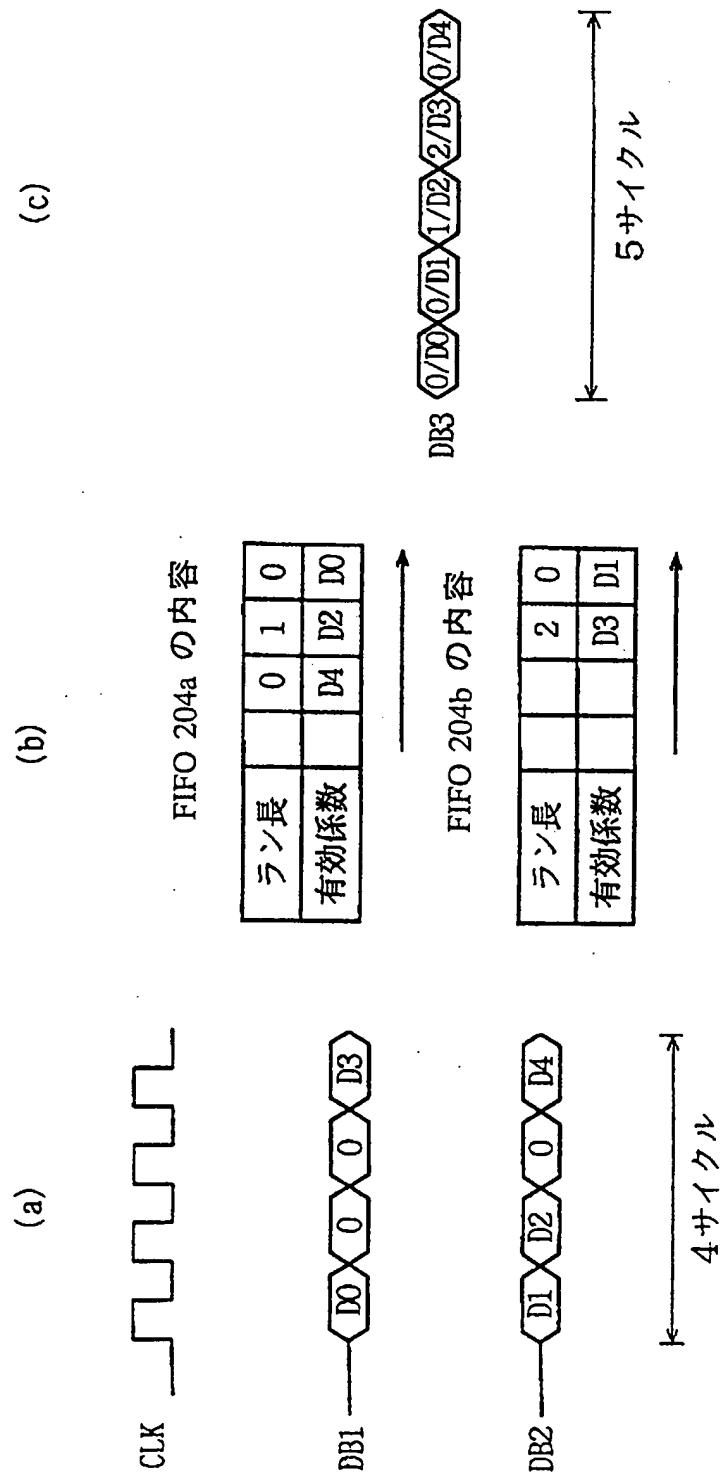
(b)

B0	0	25	2	19	4	13	14	15
B1	8	9	50	59	12	5	6	7
B2	16	17	10	11	20	21	30	23
B3	24	1	18	3	28	37	22	47
B0	40	57	58	35	44	53	38	55
B1	32	41	42	51	60	29	46	63
B2	48	49	26	43	52	61	62	31
B3	56	33	34	27	36	45	54	39

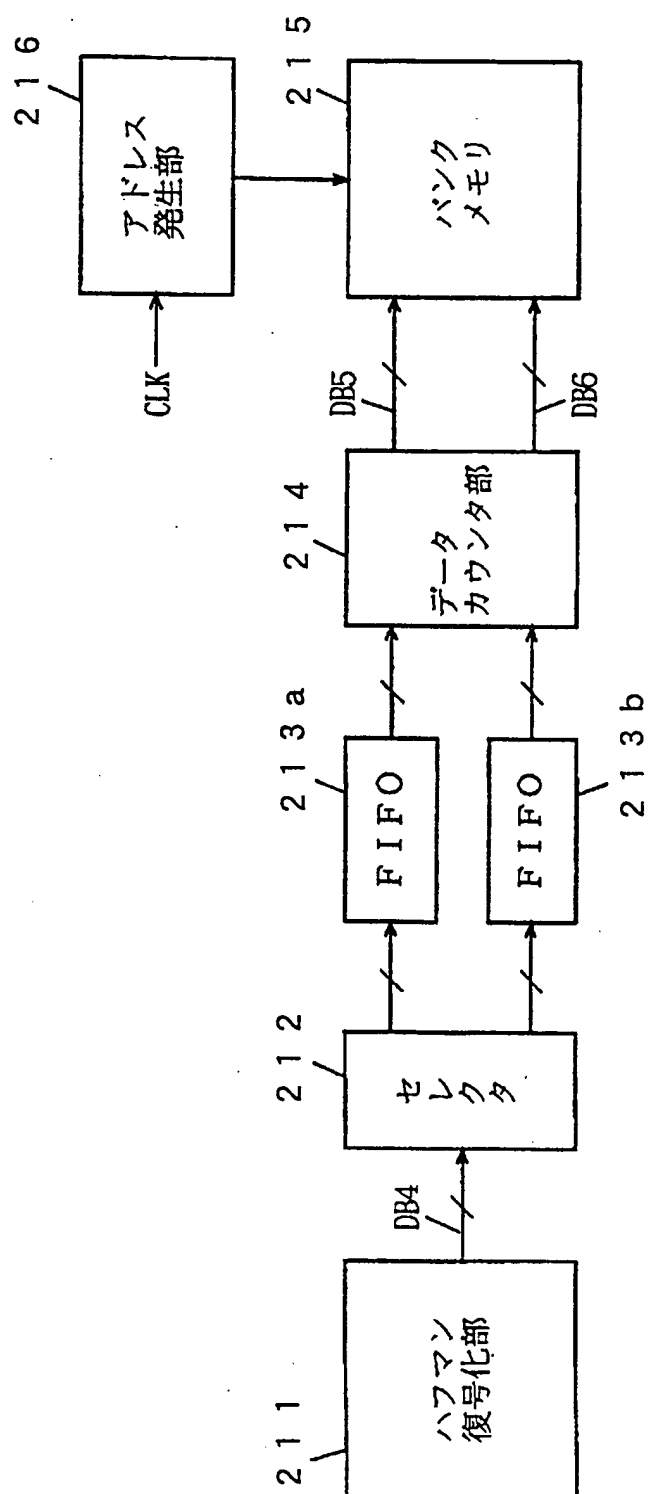
第 1 3 図



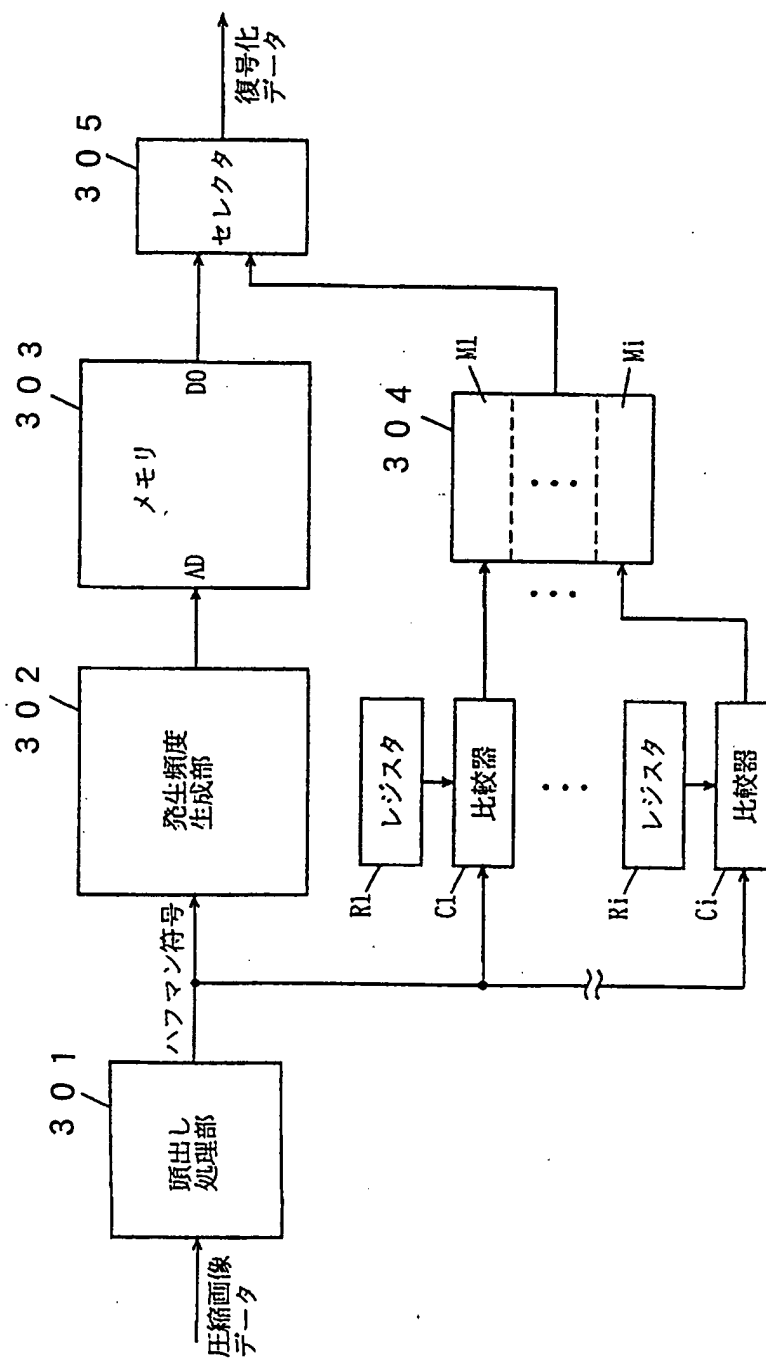
第 1 4 図



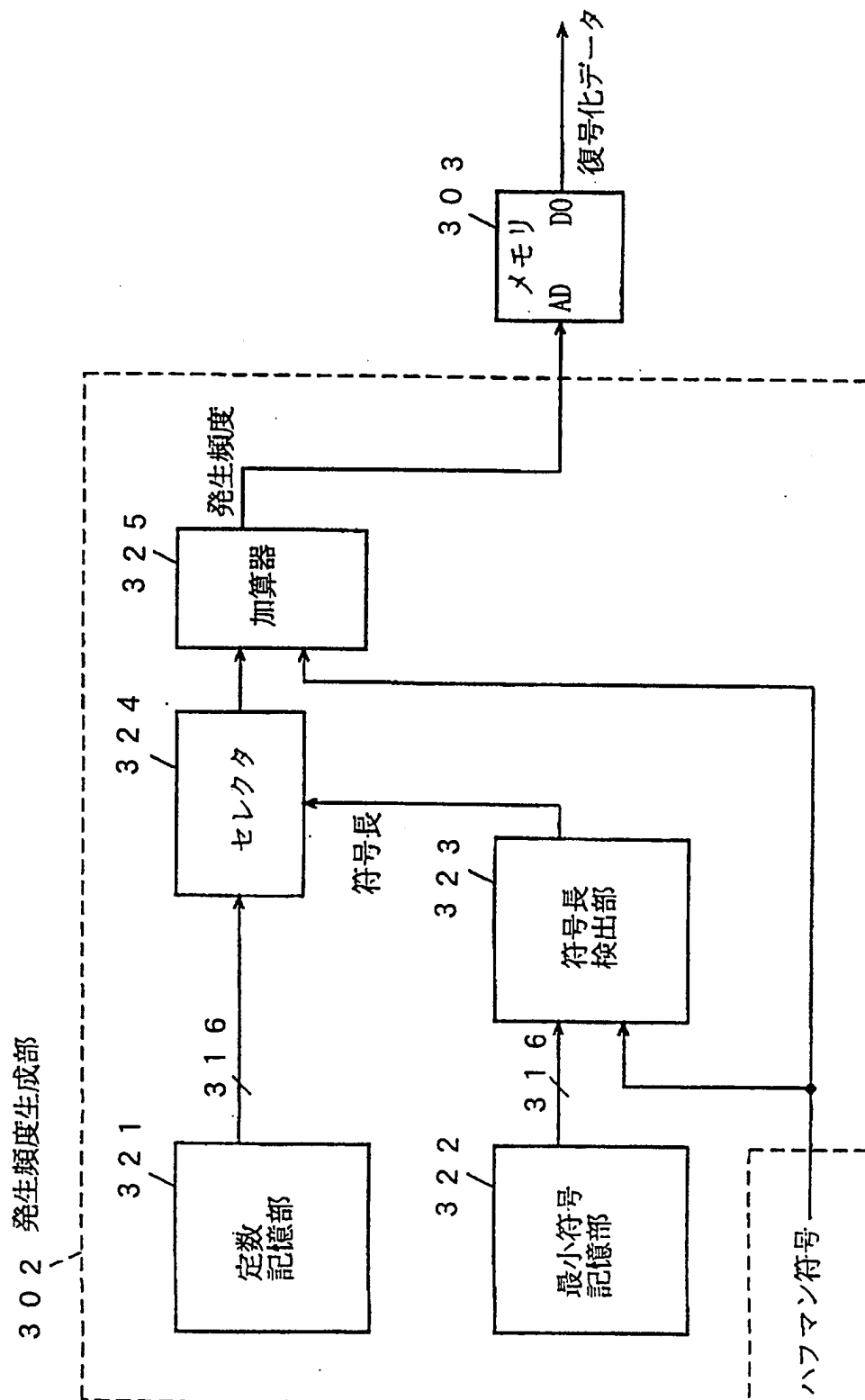
第 1 5 図



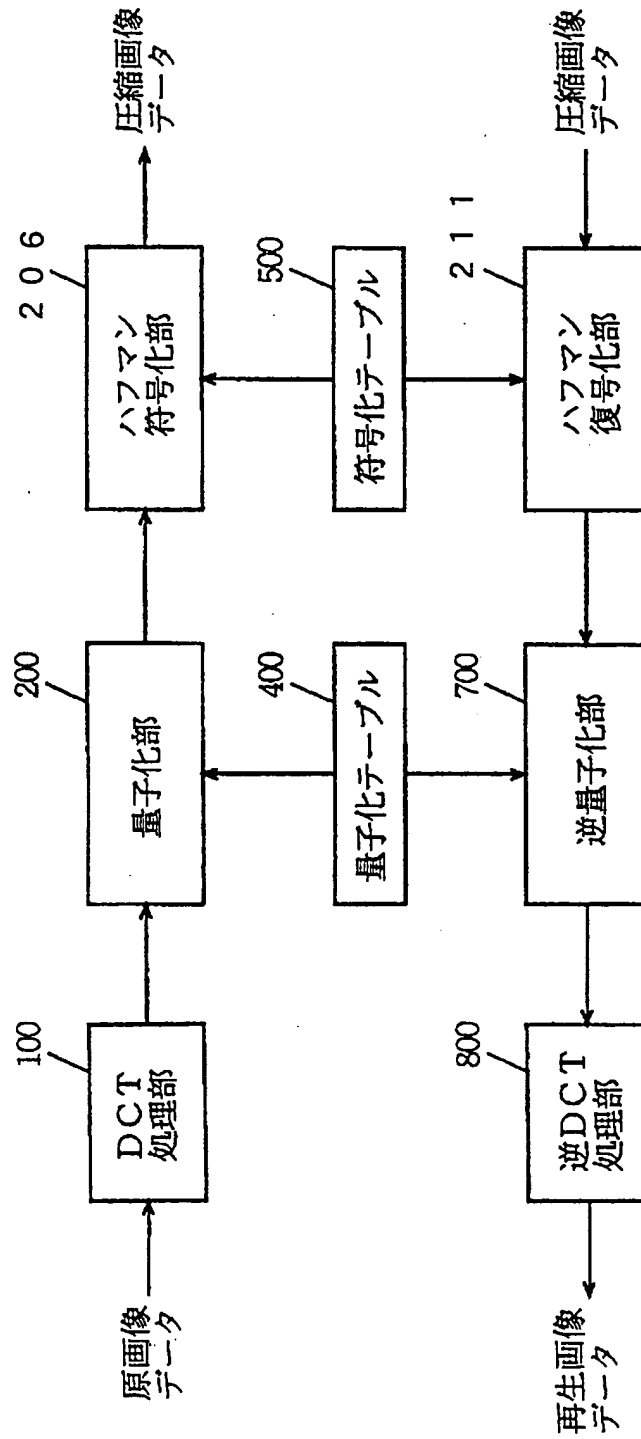
第 1 6 図



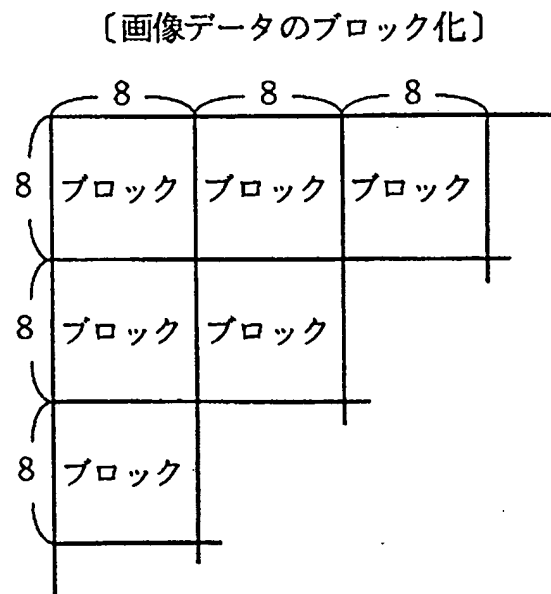
第 1 7 図



第 1 8 図

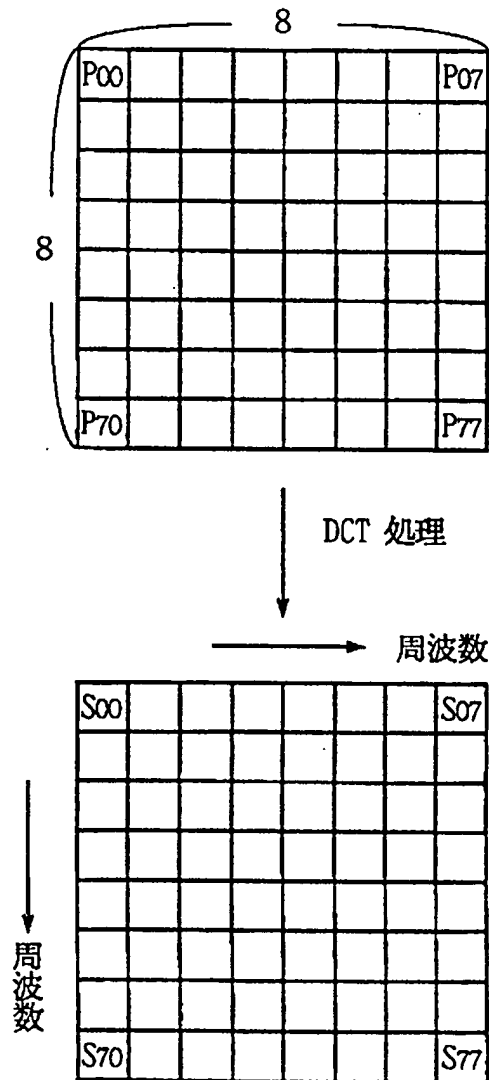


第 1 9 図

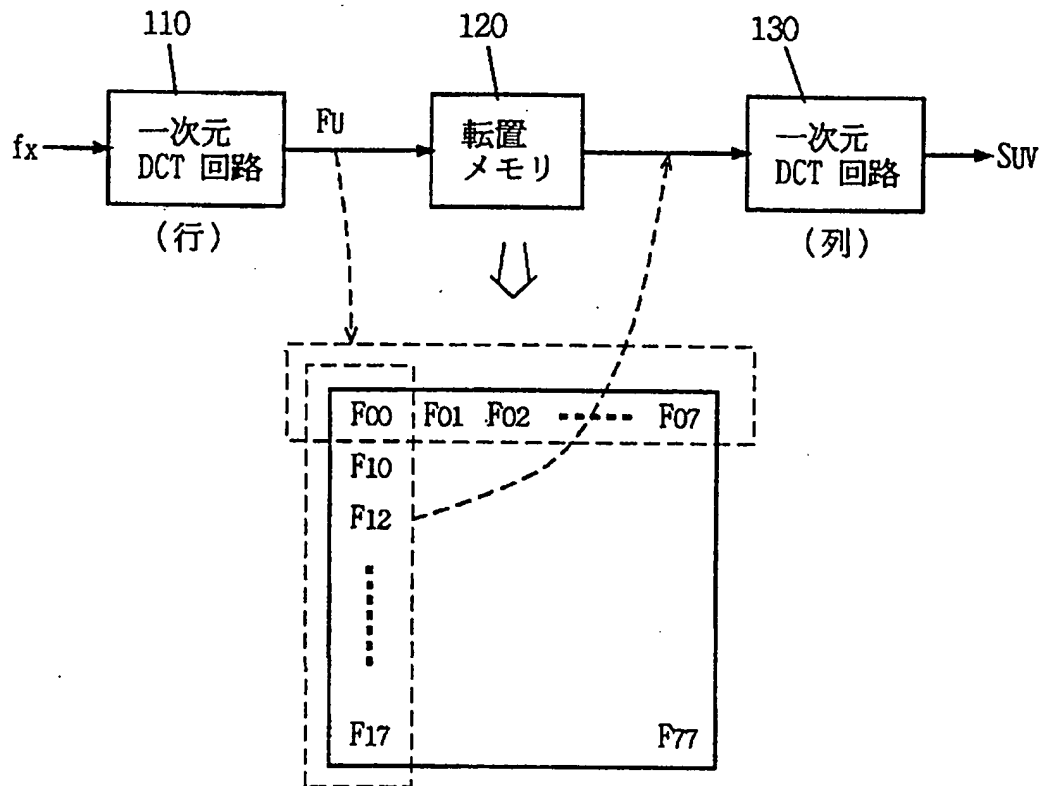


第 2 0 図

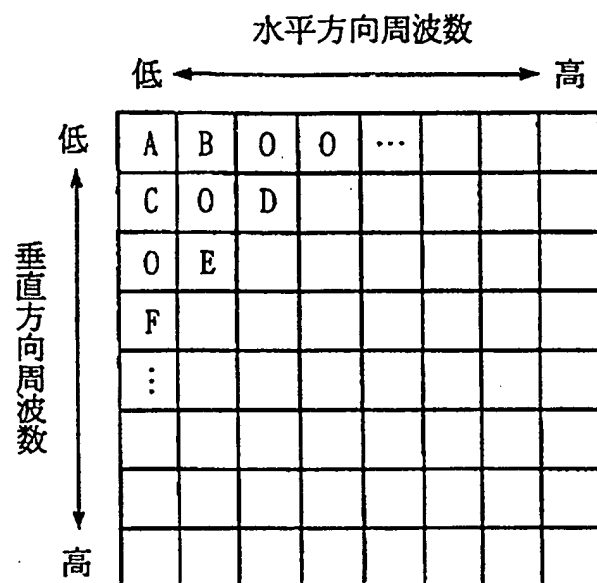
〔8×8画素ブロック〕



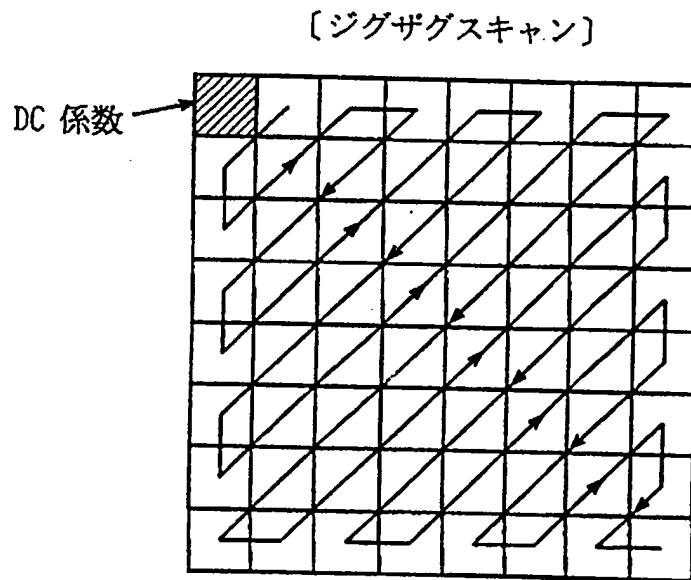
第 2 1 図



第 2 2 図

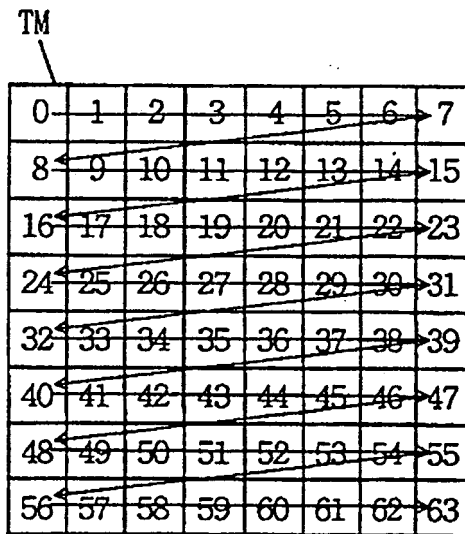


第 2 3 図



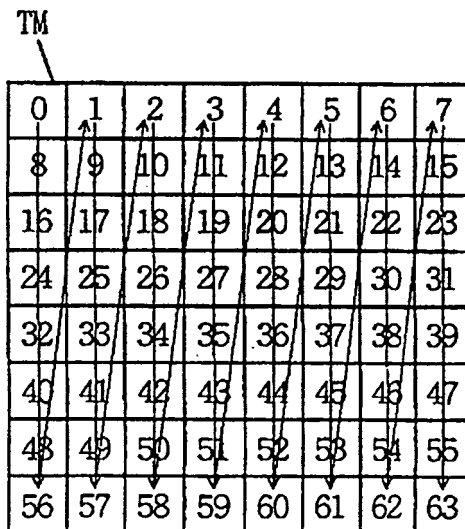
第 2 4 図

(a)



ラスタスキャン (行方向)

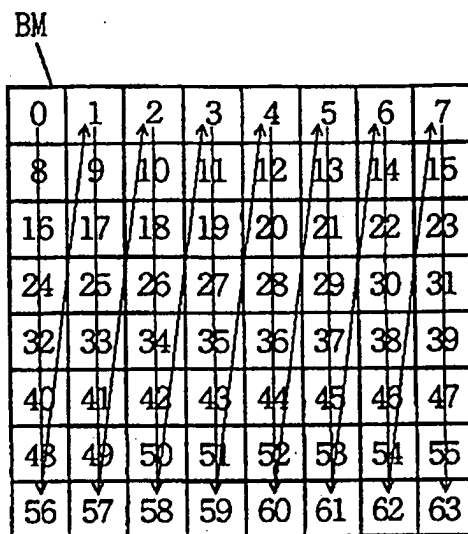
(b)



ラスタスキャン (列方向)

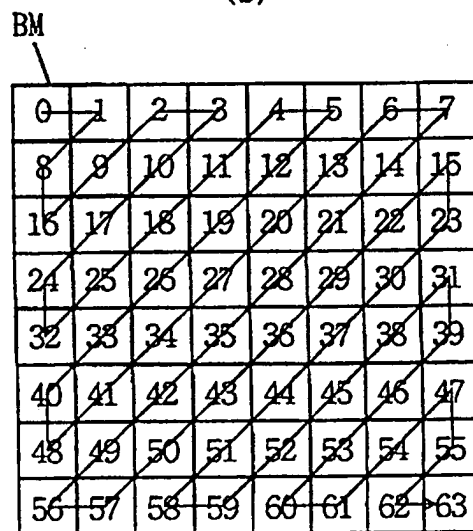
第 2 5 図

(a)



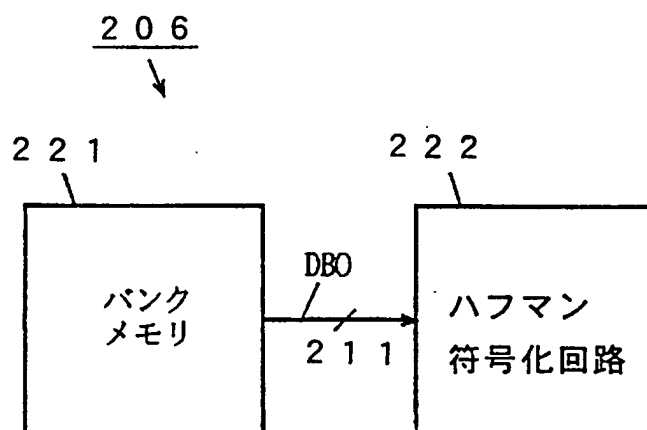
ラスタスキャン (列方向)

(b)

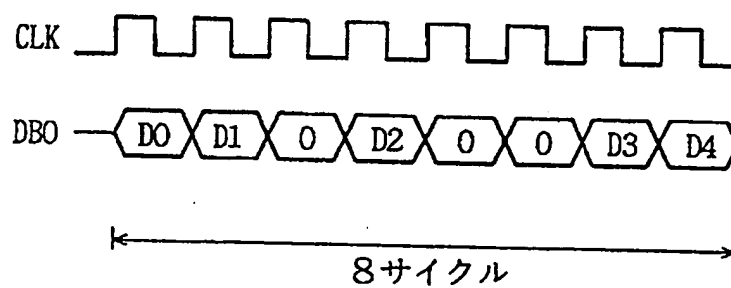


ジグザグスキャン

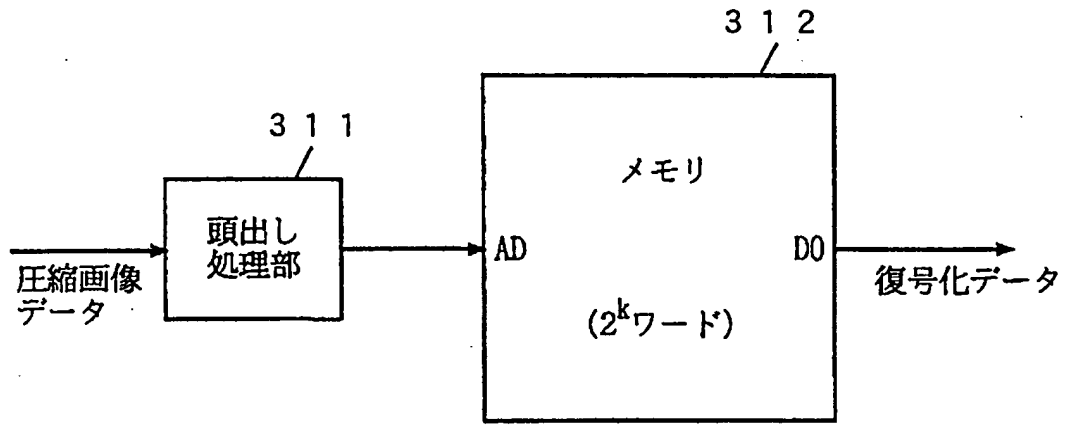
第 2 6 図



第 2 7 図



第 2 8 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00860

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H04N7/30, 1/41

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H04N7/24-7/68, H04N1/41-1/419

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1999

Kokai Jitsuyo Shinan Koho 1971-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 9-198372, A (Matsushita Electric Industrial Co., Ltd.), 31 July, 1997 (31. 07. 97) & US, 5801979, A	1-23
Y	JP, 6-125278, A (Samsung Electronics Co., Ltd.), 6 May, 1994 (06. 05. 94) & EP, 580454, A3 & US, 5497153, A & KR, 9510913, A	1-23
A	JP, 8-137830, A (Olympus Optical Co., Ltd.), 31 May, 1996 (31. 05. 96) (Family: none)	1-23
A	JP, 7-143013, A (Oki Electric Industry Co., Ltd.), 2 June, 1995 (02. 06. 95) (Family: none)	1-23
A	JP, 6-274524, A (Hitachi, Ltd.), 30 September, 1994 (30. 09. 94) (Family: none)	1-23
A	JP, 4-330828, A (Sony Corp.), 18 November, 1992 (18. 11. 92) (Family: none)	1-23

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 1999 (24. 05. 99)

Date of mailing of the international search report
1 June, 1999 (01. 06. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00860

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 3-237887, A (Matsushita Electric Industrial Co., Ltd.), 23 October, 1991 (23. 10. 91) (Family: none)	1-23
A	JP, 6-113289, A (GC Technology K.K.), 22 April, 1994 (22. 04. 94) (Family: none)	1-23

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl6 H04N 7/30, 1/41

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl6 H04N 7/24-7/68

Int. cl6 H04N 1/41-1/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年
日本国公開実用新案公報 1971-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 9-198372, A(松下電器産業株式会社)31.7月.1997(31.07.97) & US, 5801979, A	1-23
Y	JP, 6-125278, A(三星電子株式会社)6.5月.1994(06.05.94) & EP, 580454, A3 & US, 5497153, A & KR, 9510913, A	1-23
A	JP, 8-137830, A(オリンパス光学工業株式会社)31.5月.1996 (31.05.96) (ファミリーなし)	1-23
A	JP, 7-143013, A(沖電気工業株式会社)2.6月.1995(02.06.95) (ファ ミリーなし)	1-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24.05.99

国際調査報告の発送日

01.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松永 隆志

5 P

4 2 2 8

電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 6-274524, A(株式会社日立製作所) 30. 9月. 1994(30. 09. 94) (ファミリーなし)	1-23
A	JP, 4-330828, A(ソニー株式会社) 18. 11月. 1992(18. 11. 92) (ファミリーなし)	1-23
A	JP, 3-237887, A(松下電器産業株式会社) 23. 10月. 1991(23. 10. 91) (ファミリーなし)	1-23
A	JP, 6-113289, A(ジーシーテクノロジー株式会社) 22. 4月. 1994(22. 04. 94) (ファミリーなし)	1-23